

Rangkaian Sekuensial (Bagian 1)

Kuliah#14 TKC-205 Sistem Digital

Eko Didik Widianto

Departemen Teknik Sistem Komputer, Universitas Diponegoro

11 Maret 2017

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Ringkasan

Lisensi

Tentang Kuliah

- ▶ Sebelumnya dibahas tentang rangkaian kombinasional yang nilai keluarannya di suatu saat hanya ditentukan oleh nilai-nilai masukannya pada saat itu
 - ▶ multiplexer, dekoder, demultiplexer, enkoder dan code converter
 - ▶ Peraga 7-segmen
 - ▶ Teorema ekspansi Shannon untuk mendesain rangkaian logika menggunakan multiplexer
- ▶ Membahas tentang **rangkaian sekuensial** yang keluarannya tidak hanya tergantung dari masukan saat ini, juga dari nilai keluaran sebelumnya
 - ▶ Rangkaian ini membutuhkan **elemen penyimpan** nilai dari sinyal logika
 - ▶ prinsip rangkaian sekuensial
 - ▶ elemen penyimpan 1 bit *latch*, yaitu *set-reset latch* (latch SR), latch SR tergerbang dan *data latch* (latch D) serta rangkaian logikanya
 - ▶ elemen penyimpan 1 bit flip-flop, meliputi *data flip-flop (DFF)*, *toggle flip-flop (TFF)*, *JK flip-flop (JKFF)*

- ▶ Setelah mempelajari bab ini, mahasiswa akan mampu:
 - ▶ [C2] menjelaskan perbedaan antara latch dan flip-flop
 - ▶ [C4] merancang dan menganalisis fungsi karakteristik latch set-reset, latch tergerbang, latch data
 - ▶ [C4] merancang dan menganalisis fungsi karakteristik flip-flop (D, T, dan JK)
- ▶ Link
 - ▶ Website: <http://didik.blog.undip.ac.id/2017/03/06/tkc205-sistem-digital-2016-genap/>
 - ▶ Email: didik@live.undip.ac.id

Elemen Penyimpan Keadaan

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Ringkasan

Lisensi

Rangkaian Sekuensial

Elemen Penyimpan dan Statanya

Rangkaian
Sekuensial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

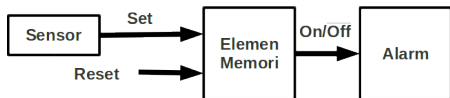
Ringkasan

Lisensi

- ▶ Rangkaian yang nilai keluarannya tidak hanya tergantung dari masukan saat ini, juga dari **nilai keluaran sebelumnya**
- ▶ Rangkaian mempunyai elemen penyimpanan
 - ▶ Isi dari elemen penyimpanan merepresentasikan **keadaan** (state) dari rangkaian
 - ▶ Perubahan nilai masukan dapat menyebabkan keadaan rangkaian **tidak berubah** atau **berubah** ke keadaan baru
 - ▶ Rangkaian **berubah sesuai urutan keadaan** sebagai hasil dari perubahan masukannya

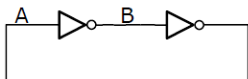
Sistem Kontrol Alarm

- ▶ Diinginkan rangkaian untuk mengontrol alarm
 - ▶ Alarm merespon kontrol masukan On/\overline{Off}
 - ▶ akan berbunyi saat $On/\overline{Off} = 1$
 - ▶ mati saat $On/\overline{Off} = 0$
 - ▶ Alarm berbunyi saat sensor membangkitkan sinyal tegangan positif (**Set**) jika terjadi event tidak diinginkan
 - ▶ Diinginkan alarm tetap aktif (berbunyi) walaupun keluaran sensor tidak aktif (Set=0)
 - ▶ Alarm dimatikan manual menggunakan kontrol **Reset**



- ▶ Rangkaian ini memerlukan **elemen memori** untuk mengingat bahwa alarm telah aktif hingga datangnya sinyal Reset

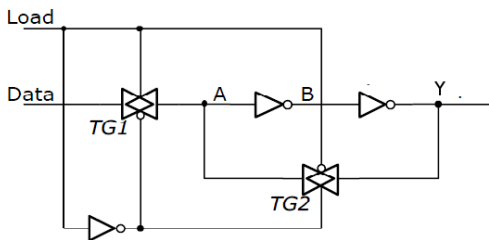
- ▶ Menggunakan 2 buah NOT



- ▶ mempunyai 2 keadaan yang masing-masing akan berulang tanpa batas, yaitu
 - ▶ Jika $A = 0$, maka $B = \bar{A} = 1$ dan $A = \bar{B} = 0$. Rangkaian selalu menghasilkan $B = 1$
 - ▶ Jika $A = 1$, maka $B = \bar{A} = 0$ dan $A = \bar{B} = 1$. Rangkaian selalu menghasilkan $B = 0$

Elemen Memori Terkontrol

- ▶ Menyediakan mekanisme mengubah keadaan rangkaian



- ▶ $Load = 0$, maka $TG2$ aktif dan $TG1$ tidak aktif (*feedback*)
 - ▶ Keadaan rangkaian (dan juga keluaran Y) tetap
- ▶ Jika $Load = 1$, maka $TG1$ aktif dan $TG2$ tidak aktif (*update*)
 - ▶ Masukan $Data$ akan memperbarui nilai A , sehingga nilai keluaran $Y = Data$
 - ▶ Rangkaian berubah keadaannya sesuai $Data$

- ▶ Elemen memori terkontrol di atas membentuk latch (pengunci)
- ▶ Latch merupakan elemen penyimpanan 1-bit
 - ▶ Untuk menyimpan 1-bit data/state diperlukan 1 buah latch
- ▶ Tipe latch berdasarkan fungsinya:
 - ▶ latch set-reset (*SR latch*)
 - ▶ *SR latch* tergerbang
 - ▶ latch data (*D latch*)
- ▶ diaplikasikan untuk mengunci data masukan dan/atau keluaran suatu rangkaian lain

Elemen Penyimpan Keadaan

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

**Latch SR
(Set-Reset)**

Latch SR
Tergerbang

Gated Latch D
(Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Flip-flop

Ringkasan

Lisensi

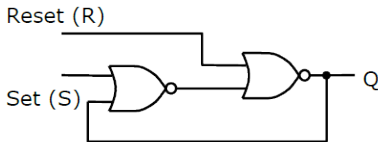
Ringkasan

Lisensi

Latch SR

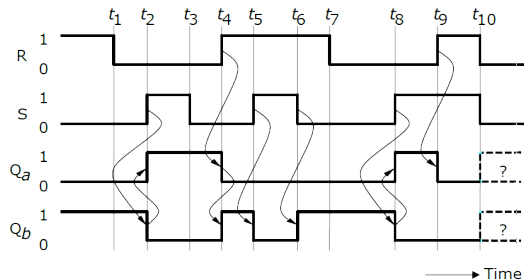
Elemen Memori dengan Gerbang NOR

- ▶ Rangkaian latch dapat disusun menggunakan gerbang logika NOR (selain dengan TG)
 - ▶ Masukannya, **Set (S)** dan **Reset (R)**, digunakan untuk mengubah state/keadaan, **Q**, dari rangkaian
 - ▶ Rangkaian tersebut membentuk **latch SR**



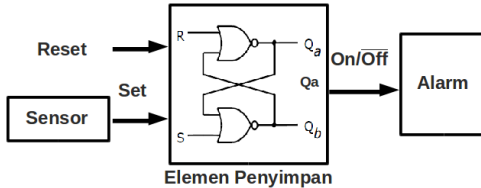
- ▶ Perilaku rangkaian:
 - ▶ Jika $R=S=0$, maka state tidak berubah (terkunci)
 - ▶ Jika $R=1$ ($S=0$ atau $S=1$), maka state $Q=0$
 - ▶ Jika $R=0$ dan $S=1$, maka state $Q=1$

Analisis Waktu Latch SR



- ▶ Jika delay propagasi dari Q_a dan Q_b sama, osilasi di waktu t_{10} akan berlanjut secara tak terbatas
- ▶ Di rangkaian realnya, mungkin terdapat perbedaan dalam delay dan latch berada di salah satu dari 2 keadaan
 - ▶ Tidak dapat ditentukan (kondisi race), yang lebih cepat mengunci keadaan
 - ▶ Sehingga, kombinasi $S=R=1$ merupakan kombinasi yang tidak diijinkan di latch SR

Recall: Sistem Kontrol Alarm



Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang
Gated Latch D
(Data)
IC TTL Latch

Flip-flop

Ringkasan

Lisensi

Bahasan

Elemen Penyimpan Keadaan

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang

Gated Latch D
(Data)

IC TTL Latch

Flip-flop

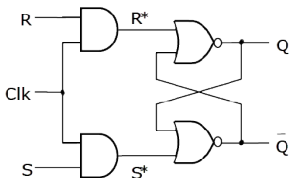
Ringkasan

Lisensi

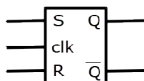
Latch SR Tergerbang

Menambahkan Kontrol Enable

- ▶ Latch SR dasar mengubah statenya saat masukannya berubah
- ▶ Seringkali diinginkan untuk menambah satu sinyal **enable** ke latch SR dasar
 - ▶ Sinyal enable diberikan oleh masukan **Clk**
 - ▶ Digunakan untuk mengontrol kapan rangkaian dapat mengubah state-nya
 - ▶ Saat Clk=0 state tidak berubah, saat Clk=1 state tergantung masukan S dan R
 - ▶ Disebut sebagai **gated SR latch**



CLK	S	R	Q(t+1)
0	X	X	Q(t)
1	0	0	Q(t)
1	0	1	0
1	1	0	1
1	1	1	X



Q(t)=present state

Q(t+1)=next state

X=unknown (either 0 or 1)

Bahasan

Elemen Penyimpan Keadaan

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.id)

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang

**Gated Latch D
(Data)**

IC TTL Latch

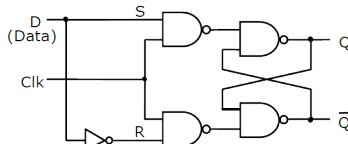
Flip-flop

Ringkasan

Lisensi

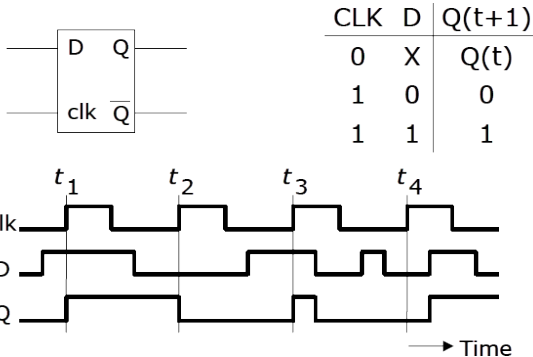
Gated D (Data) Latch

- ▶ Latch dapat digunakan sebagai elemen memori untuk sistem alarm di contoh sebelumnya
- ▶ Gated latch lainnya adalah **D latch**
 - ▶ Mempunyai sebuah masukan data, D
 - ▶ Tidak akan terjadi kondisi race seperti latch RS
 - ▶ Menyimpan nilai masukan dengan kontrol berupa sinyal clock
 - ▶ Digunakan di rangkaian yang perlu menyimpan nilai
 - ▶ Misalnya 'mengingat' nilai keluaran dari rangkaian adder/subtractor
 - ▶ Latch dapat dikatakan sebagai elemen penyimpan **1 bit** data
 - ▶ Diimplementasikan dengan 18 transistor CMOS



Gated D (Data) Latch

Simbol, Tabel Karakteristik dan Diagram Pewaktuan



Elemen Penyimpan Keadaan

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang

Gated Latch D
(Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Flip-flop

Ringkasan

Lisensi

Ringkasan

Lisensi

IC TTL Latch

Rangkaian
Sekuenisial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Nomor IC	Deskripsi
74279	latch set-reset (quad), aktif rendah
74363/74373	latch data transparan dengan keluaran 3 keadaan (oktal)

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang

Gated Latch D
(Data)

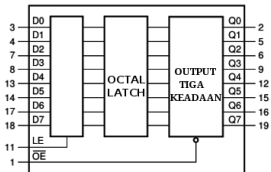
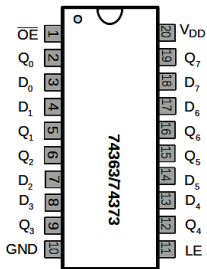
IC TTL Latch

Flip-flop

Ringkasan

Lisensi

► IC 74363/74373



Struktur dan Fungsi 74363/74373

Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Latch SR
(Set-Reset)

Latch SR
Tergerbang

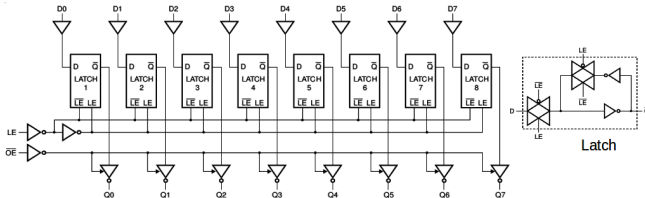
Gated Latch D
(Data)

IC TTL Latch

Flip-flop

Ringkasan

Lisensi



Mode Operasi	Kontrol		Masukan	Latch Internal	Keluaran
	OE	LE	Dn	Qn	Qn
Mode transparan, Aktif dan baca register	L	H	L	H	L
			H	L	H
Kunci dan baca register	L	L	L*	H	L
			H*	L	H
Kunci register dan matikan keluaran	H	X	X	X	Z

- ▶ Sensitivitas elemen storage: **Level-sensitive** dan **Edge-triggered**
 - ▶ **Level-sensitive**: keluaran elemen dikontrol oleh level masukan clock (0 atau 1)
 - ▶ **Edge-triggered**: keluaran elemen hanya berubah di titik transisi nilai clock
 - ▶ Positive-edge: transisi sinyal clock dari 0 ke 1
 - ▶ Negative-edge: transisi sinyal clock dari 1 ke 0
- ▶ Latch merupakan elemen penyimpanan dengan sensitivitas level
 - ▶ Selama clock $clk = 1$ nilai keluaran akan tergantung dari nilai masukan D
 - ▶ Dalam satu periode clock bisa terjadi lebih dari 1 perubahan state keluaran Q
 - ▶ Ini akan membedakannya dengan elemen penyimpanan flip-flop yang akan dibahas berikutnya

- ▶ Rangkaian latch (gated) merupakan level-sensitive
 - ▶ State dapat berubah **lebih dari sekali** selama periode 'aktif' dari sinyal clock
 - ▶ Untuk logika positif, periode aktif adalah saat $clk=1$. Dan sebaliknya
- ▶ Flip-flop
 - ▶ Elemen penyimpanan 1 bit
 - ▶ Statanya berubah **hanya sekali** dalam satu periode clock
 - ▶ Tipe: **master-slave flip-flop** dan **edge-triggered flip-flop**
 - ▶ Jenis: DFF (data), TFF (toggle) dan JKFF

Bahasan

Elemen Penyimpan Keadaan

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

**Flip-Flop Data
(DFF)**

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

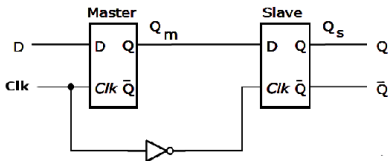
IC TTL Flip-flop

Ringkasan

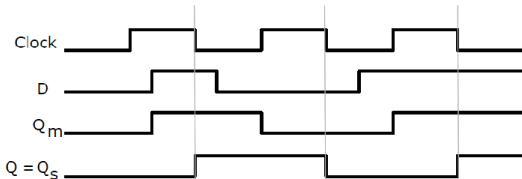
Lisensi

Master-slave D Flip-flop

- ▶ Dibentuk dari 2 buah gated D latch (38 transistor CMOS): sebagai master dan slave
 - ▶ **master** mengubah statenya saat clock = 1
 - ▶ **slave** mengubah statenya saat clock = 0



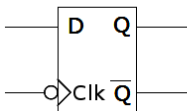
- ▶ Analisis diagram pewaktuan



Master-slave D Flip-flop: Perilaku

- ▶ Saat $\text{clock}=1$, master melihat nilai dari sinyal masukan D, slave tidak berubah
 - ▶ Q_m mengikuti perubahan D, dan Q_s konstan
- ▶ Saat $\text{clock}=0$, master berhenti mengikuti perubahan nilai masukan D, sebaliknya slave merespon masukan Q_m dan mengubah statenya
 - ▶ Karena Q_m tidak berubah selama $\text{clock}=0$, slave hanya mengubah statenya sekalis aja selama satu siklus clock
- ▶ Dari sudut pandang keluaran
 - ▶ Rangkaian mengubah Q_s (keluaran flip-flop) di titik transisi negatif sinyal clock (perubahan dari $1 \rightarrow 0$)
 - ▶ Disebut *negative-edge-triggered D Flip-flop*

Simbol dan Karakteristik DFF Transisi Turun



D	Clk	Q	\bar{Q}
X	0	Q	\bar{Q}
X	1	Q	\bar{Q}
0	↓	0	1
1	↓	1	0

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

**Flip-Flop Data
(DFF)**

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

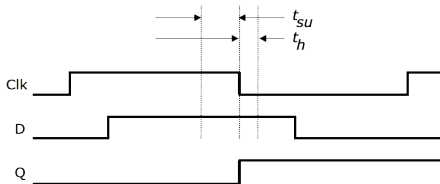
IC TTL Flip-flop

Ringkasan

Lisensi

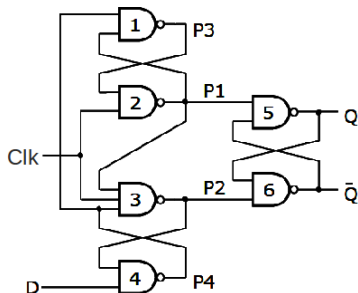
Efek Delay Propagasi

- ▶ Sebelumnya efek delay propagasi diabaikan
 - ▶ Dalam prakteknya, delay ini perlu diperhatikan
- ▶ Di master-slave D flip-flop (negative-edge)
 - ▶ nilai D harus tidak berubah (stabil) saat clock berubah dari 1 ke 0 (transisi turun)
 - ▶ Waktu minimum dimana sinyal D harus stabil sebelum transisi clock turun disebut **setup time** (t_{su})
 - ▶ Waktu minimum dimana sinyal D harus stabil setelah transisi clock disebut **hold time** (t_h)
 - ▶ Nilai tipikal di CMOS: $t_{su} = 3ns$ dan $t_h = 2ns$



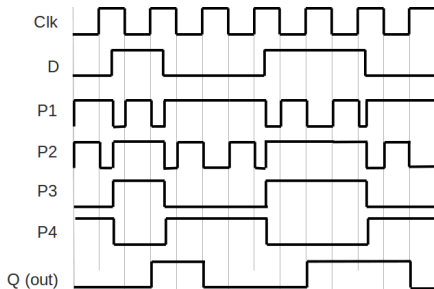
Positive-Edge-triggered DFF

- ▶ Rangkaian berfungsi sama dengan master-slave D flip-flop dapat dibentuk dengan 6 gerbang NAND (24 transistor)



- ▶ Saat clock = 0, keluaran gerbang 2 dan 3 tinggi
 - ▶ $P1 = P2 = 1$, keluaran latch tidak berubah, berada di present statenya
 - ▶ $P3 = D$ dan $P4 = \bar{D}$
- ▶ Saat clock = 1, nilai P3 dan P4 ditransmisikan lewat gerbang 2 dan 3

Perilaku Positive DFF



D	Clk	Q	\bar{Q}
X	0	Q	\bar{Q}
X	1	Q	\bar{Q}
0	↑	0	1
1	↑	1	0

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Disiplin Pewaktuan

- ▶ Untuk dapat beroperasi dengan reliabel, $P3$ dan $P4$ harus stabil saat *clock* berubah dari 0 ke 1 (transisi naik)
 - ▶ Setup time dari flip-flop sama dengan delay dari masukan D lewat gerbang 4 dan 1 ke $P3$
 - ▶ Hold time diberikan oleh delay lewat gerbang 3, sebab sekali $P2$ stabil, perubahan di D tidak akan berpengaruh (mengubah state)
- ▶ Harus dipastikan bahwa setelah clock berubah ke 1, setiap perubahan di D tidak akan mempengaruhi keluaran latch selama clock=1
 - ▶ Kasus 1: jika $D=0$ saat transisi naik clock, maka $P2=0$ yang akan membuat keluaran gerbang 4 sama dengan 1 selama clock=1, apapun nilai dari masukan D
 - ▶ Kasus 2: jika $D=1$ saat transisi naik clock, maka $P1=0$ yang memaksa keluaran gerbang 1 dan 3 sama dengan 1, apapun nilai dari masukan D
 - ▶ Sehingga, flip-flop akan mengabaikan perubahan masukan D selama clock=1

Rangkaian
Sekuensial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.id)

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

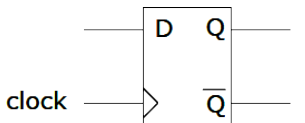
Ringkasan

Lisensi

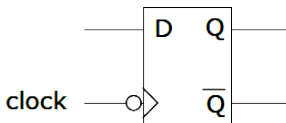
Edge-triggered Flip-flop

Positive-edge dan Negative-edge D Flip-flop

- ▶ Dua tipe rangkaian:
 - ▶ **positive-edge triggered D flip-flop**
 - ▶ rangkaian merespon di transisi positif sinyal clock
 - ▶ **negative-edge triggered D flip-flop**
 - ▶ rangkaian merespon di transisi negatif sinyal clock



Positive-edge-triggered
D type flip-flop

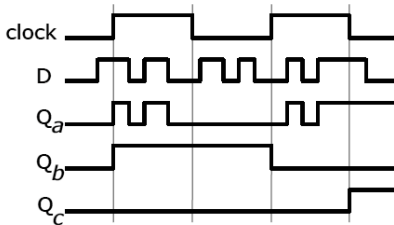
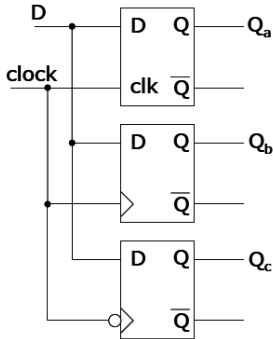


Negative-edge-triggered
D type flip-flop

Membandingkan Elemen Penyimpan Data

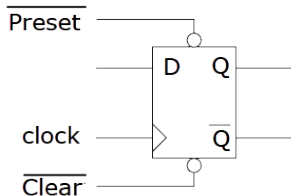
Latch, Positive-edge DFF dan Negative-edge DFF

- ▶ Elemen storage: Level-sensitive, positive-edge-sensitive, dan negative-edge-sensitive

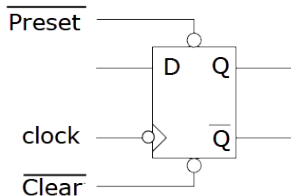


Masukan Preset dan Clear di DFF

- ▶ Diinginkan untuk mengeset sebuah flip-flop ($Q = 1$) atau meng-clear-kannya ($Q = 0$)
 - ▶ Flip-flop umumnya mempunyai masukan **preset** dan **clear**
 - ▶ Input ini asinkron (tidak tergantung dari sinyal clock)
 - ▶ Keluaran Q berubah seketika saat preset atau clear aktif (*active-low*)



posedge triggered DFF

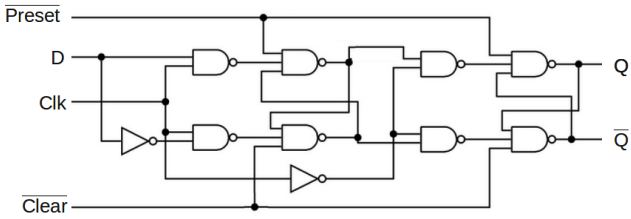


negedge triggered DFF

- ▶ Jika $\overline{Preset} = 0$, keluaran $Q = 1$
- ▶ Jika $\overline{Clear} = 0$, keluaran $Q = 0$

Masukan Preset dan Clear

Negative-edge-triggerred DFF (transisi turun)



Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

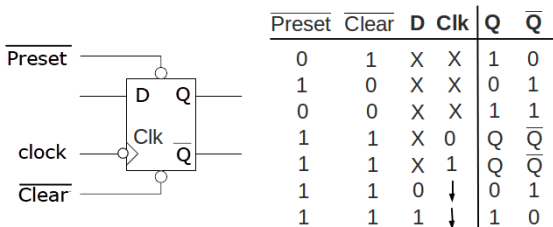
Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Simbol DFF Transisi Turun, Preset, Clear



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

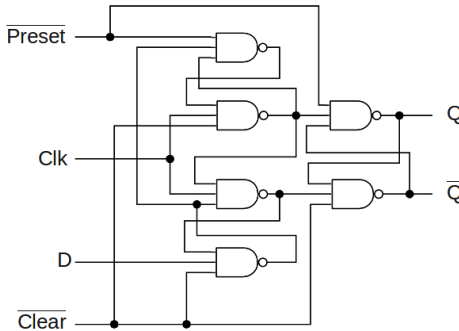
IC TTL Flip-flop

Ringkasan

Lisensi

Masukan Preset dan Clear

Posedge-triggered D Flip-flop with Preset and Clear



Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-flop Data
(DFF)

Flip-flop Toggle
(T)

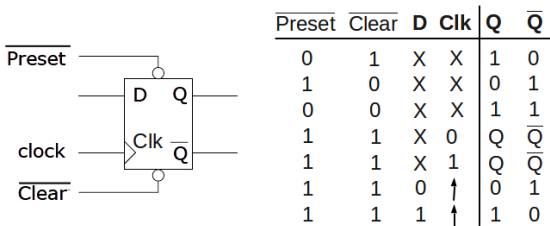
Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Simbol DFF Transisi Naik, Preset, Clear



Bahasan

Elemen Penyimpan Keadaan

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

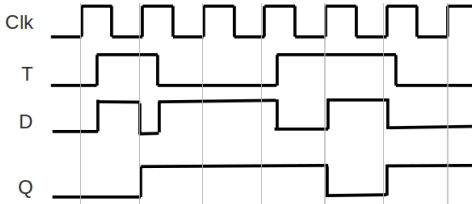
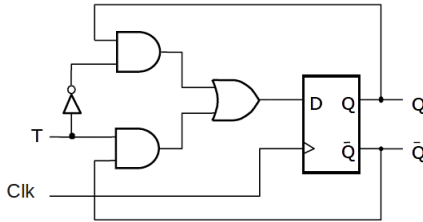
Flip-flop Toggle (T)

- ▶ Menggunakan sebuah posedge D flip-flop dan rangkaian logika untuk mendrive masukannya
- ▶ Feedback membuat sinyal masukan D sama dengan nilai Q atau \overline{Q} di bawah kontrol sinyal T
 - ▶ Saat $T = 1 \rightarrow$ state rangkaian 'toggle' saat transisi clock naik
 - ▶ Saat $T = 0 \rightarrow$ statenya tetap
 - ▶ Digunakan sebagai elemen di rangkaian pencacah

Rangkaian dan Diagram Pewaktuan TFF

Rangkaian
Sekuensial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i



Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Simbol dan Fungsi TFF

Rangkaian
Sekuenisial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-flop Data
(DFF)

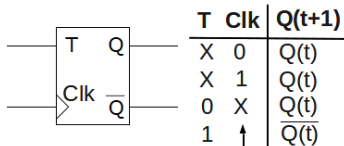
Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi



Bahasan

Elemen Penyimpan Keadaan

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

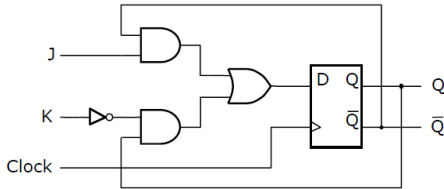
Flip-flop JK

- ▶ Flip-flop JK dapat diturunkan dari flip-flop D, dengan menggunakan 2 masukan J dan K, sehingga
$$D = J\overline{Q} + \overline{K}Q$$
- ▶ Flip-flop JK mengkombinasikan perilaku flip-flop SR dan flip-flop T
 - ▶ $J = S$ dan $K = R$ untuk semua nilai, kecuali untuk $J = K = 1$ (flip-flop SR)
 - ▶ Jika $J=K=1$, flip-flop menbalik (*toggle*) statenya seperti flip-flop T
- ▶ Dapat digunakan sebagai storage seperti DFF dan SR FF. Dan juga T FF dengan menghubungkan J dan K sebagai T

Rangkaian dan Diagram Pewaktuan JKFF

Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i

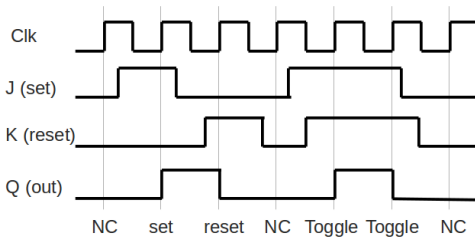


Elemen
Penyimpan
Keadaan
Latch (Pengunci)

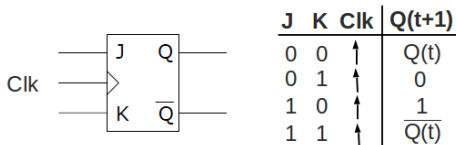
Flip-flop
Flip-flop Data
(DFF)
Flip-flop Toggle
(T)
Flip-flop JK
(JKFF)
IC TTL Flip-flop

Ringkasan

Lisensi



Simbol dan Fungsi TFF



- ▶ Dapat digunakan sebagai elemen penyimpan 1 bit
 - ▶ DFF: menghubungkan Data ke masukan J dan \overline{Data} ke masukan K
 - ▶ TFF: menghubungkan Toggle ke J dan K

Bahasan

Elemen Penyimpan Keadaan

Latch (Pengunci)

Latch SR (Set-Reset)

Latch SR Tergerbang

Gated Latch D (Data)

IC TTL Latch

Flip-flop

Flip-Flop Data (DFF)

Flip-flop Toggle (T)

Flip-flop JK (JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

IC TTL Flip-flop

Rangkaian
Sekuenial
(Bagian 1)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Nomor IC	Deskripsi
7474	DFF transisi naik dengan preset dan clear (dual)
7476	JKFF dengan preset dan clear (dual)
7479	DFF (dual)
74112	JKFF transisi turun dengan preset dan clear (dual)
74173	DFF dengan keluaran tiga keadaan (quad)
74174	DFF dengan clear (hex)
74574/74874	DFF dengan keluaran tiga keadaan (oktal)

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

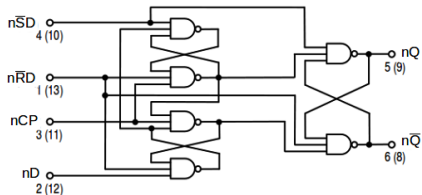
Ringkasan

Lisensi

IC 7474: Rangkaian dan Fungsi

Rangkaian
Sekuensial
(Bagian 1)

©2017, Eko Didik
Widianto (didik@live.undip.ac.i



nSD	nRD	nCP	nD	nQ	nQ̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	↑	L	L	H
H	H	↑	H	H	L

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi

IC 74574: 8 DFF Transisi Naik, Tiga Keadaan

Rangkaian
Sekuensial
(Bagian 1)

©2017, Eko Didik
Widianto (di-
dik@live.undip.ac.i

Elemen
Penyimpan
Keadaan

Latch (Pengunci)

Flip-flop

Flip-Flop Data
(DFF)

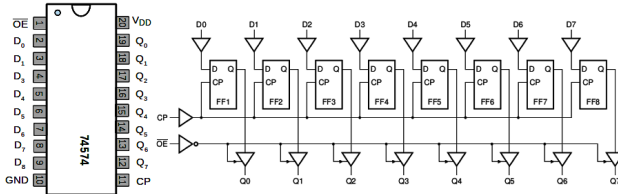
Flip-flop Toggle
(T)

Flip-flop JK
(JKFF)

IC TTL Flip-flop

Ringkasan

Lisensi



\overline{OE}	CP	nD	FF intern	nQ
L	↑	L	L	L
L	↑↑	H	H	H
H	↑↑↑	L	L	Z
H	↑	H	H	Z

- ▶ Yang telah kita pelajari hari ini:
 - ▶ Elemen rangkaian sekuensial berupa latch dan flip-flop:
 - ▶ Latch: RS-latch, D-latch, gated latch
 - ▶ Flip-flop: master-slave D flip-flop, edge-triggerred flip-flop, T flip-flop dan JK flip-flop
 - ▶ Perbedaan antara latch dan flip-flop
- ▶ Yang akan kita pelajari di pertemuan berikutnya adalah tentang
 - ▶ Register dan pencacah
 - ▶ Register data dan register geser
 - ▶ Pencacah asinkron dan sinkron
 - ▶ Pelajari: <http://didik.blog.undip.ac.id/2017/03/06/tkc205-sistem-digital-2016-genap/>

1. Datasheet CD4043BE (Texas): Quad Latch SR NOR.
<http://www.ti.com/lit/gpn/CD4043B>
2. Datasheet CD4044BE (Texas), 54LS279 , 74LS279: Quad Latch SR NAND. <http://www.ti.com/lit/gpn/CD4044B>
3. Datasheet SN74LS74A: Dual D-type Positive-Edge-Triggerred Flip-Flops with Preset and Clear.
<http://www.ti.com/lit/gpn/SN74LS74A>

Lisensi

Creative Common Attribution-ShareAlike 3.0 Unported (CC BY-SA 3.0)

▶ Anda bebas:

- ▶ untuk **Membagikan** — untuk menyalin, mendistribusikan, dan menyebarkan karya, dan
- ▶ untuk **Remix** — untuk mengadaptasikan karya

▶ Di bawah persyaratan berikut:

- ▶ **Atribusi** — Anda harus memberikan atribusi karya sesuai dengan cara-cara yang diminta oleh pembuat karya tersebut atau pihak yang mengeluarkan lisensi. Atribusi yang dimaksud adalah mencantumkan alamat URL di bawah sebagai sumber.
- ▶ **Pembagian Serupa** — Jika Anda mengubah, menambah, atau membuat karya lain menggunakan karya ini, Anda hanya boleh menyebarkan karya tersebut hanya dengan lisensi yang sama, serupa, atau kompatibel.

▶ Lihat: [Creative Commons Attribution-ShareAlike 3.0 Unported License](https://creativecommons.org/licenses/by-sa/3.0/)