

PERANCANGAN SISTEM KENDALI KECEPATAN MOTOR DC MENGUNAKAN *PHASE-LOCKED LOOP* (PLL)

Eko Wuri Handoyo¹, Agung Warsito², Iwan Setiawan²
Jurusan Teknik Elektro, Fakultas Teknik – Universitas Diponegoro
Jl. Prof. Soedarto SH Tembalang, Semarang 50275
email : handoyo_e@yahoo.com

ABSTRAK

Sebagian mesin listrik diperlukan guna memenuhi kebutuhan fungsi khusus. Sebagaimana dalam sistem konveyor, dimana beberapa motor harus beroperasi pada kecepatan sama, maka sinkronisasi menjadi suatu kebutuhan pokok. Motor DC umumnya dipilih karena memiliki karakteristik lebih linear dan kemudahan melakukan kendali, dibanding motor AC.

Untuk memenuhi kebutuhan sinkronisasi, dikembangkan metode pengendalian kecepatan menggunakan *Phase-Locked Loop*. Metode PLL memiliki mekanisme kerja selalu mengunci relasi antara kecepatan aktual motor terhadap referensi berupa suatu clock digital. PLL mampu menghasilkan level akurasi kecepatan mencapai 0,002% dengan biaya relatif murah. Pada tugas akhir ini dibuat perangkat keras sistem PLL dengan komponen utama IC PLL 74HC4046. Rangkaian daya menggunakan DC-DC Converter dengan topologi Buck, untuk mensuplai kumparan jangkar motor DC magnet permanen 4000 rpm 24V dengan beban utama generator DC 24V 4800 rpm.

Sistem PLL yang telah dirancang dapat meregulasi kecepatan motor DC hingga 3000 rpm. Kecepatan motor DC dapat mencapai kondisi sefase terhadap kecepatan referensinya, tidak terpengaruh gangguan dan besar gangguan berupa pembebanan dan pelepasan beban. Hasil pengujian pada kecepatan 1842 rpm dengan gangguan beban 10 Ω , motor mengalami perlambatan mencapai nilai sesaat 1540 rpm (16,4 %) dengan waktu penguncian selama 3 sekon pada pembebanan. Sedangkan pada pelepasan beban motor mengalami percepatan mencapai nilai sesaat 2237 rpm (21,44 %) dengan waktu penguncian selama 2 sekon.

Kata kunci : Motor DC, *Phase-Locked Loop*, Konverter Buck

I. PENDAHULUAN

1.1. Latar Belakang

Motor DC memiliki teknik kendali kecepatan relatif mudah jika dibandingkan motor AC. Pengendalian kecepatan motor DC cukup dilakukan dengan mengatur tegangan jangkar (*armature*) menggunakan rangkaian daya terkendali oleh modulasi lebar pulsa^[8].

Phase-Locked Loop memiliki konsep dasar yang memungkinkan sistem ini diaplikasikan dalam pengendalian kecepatan motor dengan implementasi elektronika daya.

Berdasarkan literatur, Moore (IEEE Spectrum, 1973) membuat diskripsi bahwa metoda pengendalian kecepatan motor DC menggunakan *Phase-Locked Loop* memiliki kelebihan mampu menghasilkan regulasi kecepatan dengan level akurasi tinggi, yaitu mencapai 0,1 % - 0,002%. Namun, sistem ini memiliki sifat respon yang relatif lambat dibanding metode pengendalian kecepatan pada umumnya. Kelemahan ini mampu diatasi dengan beberapa pengembangan konsep, diantaranya oleh Prasad & Gobey (IEEE 1985) dan Machida (IEEE 2010).

Pada tugas akhir ini, dibuat modul perangkat keras dengan konsep dasar sesuai literatur yang ditulis oleh Moore dengan sedikit pengembangan.

1.2. Tujuan Penelitian

Tujuan dari tugas akhir ini antara lain.

1. Merancang sistem pengendalian kecepatan motor DC pada kondisi berbeban menggunakan metoda *Phase-Locked Loop*.
2. Mengetahui efisiensi rangkaian daya yang digunakan untuk mensuplai kumparan jangkar motor DC.
3. Mengetahui karakteristik pembebanan terhadap perubahan kecepatan motor pada sistem *Phase-Locked Loop*.
4. Mengetahui karakteristik waktu yang dibutuhkan untuk kembali mencapai kondisi *locked* sesaat setelah terjadi gangguan (pembebanan).

1.3. Batasan Masalah

Dalam tugas akhir ini, pembahasan dibatasi pada :

1. Motor DC yang digunakan adalah motor DC magnet permanen dengan tegangan kerja 24 V.
2. Pengendalian kecepatan motor DC melalui teknik modulasi lebar pulsa pada kumparan jangkar.
3. Beban yang digunakan adalah generator DC dan beban resistif.
4. Rangkaian daya menggunakan *Buck DC Chopper* dengan komponen pensaklaran berupa MOSFET.
5. Rangkaian penanding fasa dan VCO menggunakan IC 74HC4046.
6. Rangkaian pembagi frekuensi terprogram menggunakan Intel PIT 8253.
7. Harmonisa tegangan dan arus yang terjadi pada sisi sumber diabaikan.
8. Menggunakan mikrokontroler ATMEGA8535 hanya sebagai perangkat antarmuka penampil LCD yang merupakan visualisasi kecepatan aktual rotor dan *tuning* blok pembagi frekuensi.
9. Komponen dan rangkaian elektronika yang digunakan hanya dibahas pada fungsi kerjanya.

II. DASAR TEORI

2.1. Kendali Kecepatan Motor DC

Kendali kecepatan motor DC dapat dilakukan melalui tiga parameter sesuai persamaan 2.1 berikut.

$$N = K \cdot \frac{E_a - I_a \cdot R_a}{\Phi} \quad (\text{rpm}) \quad \dots (2.1)$$

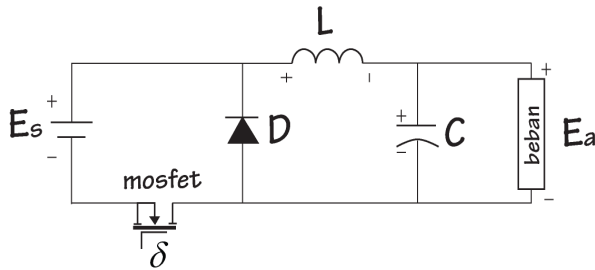
1. Mengendalikan Φ (fluks) pada kutub magnet motor, yaitu dengan mengubah nilai tegangan kumparan medan (V_f).
2. Memvariasi resistansi jangkar dengan menambah resistansi variabel (R_s) dirangkai seri dengan kumparan jangkar R_a .
3. Mengendalikan tegangan terminal (E_a) pada kumparan jangkar.

^[1]Mahasiswa Jurusan Teknik Elektro UNDIP ^[2]Dosen Jurusan Teknik Elektro UNDIP

2.2. Buck DC Chopper

Blok rangkaian daya menggunakan *DC Chopper* memungkinkan fungsi pengaturan tegangan terminal motor DC dapat terlaksana. *DC Chopper* berfungsi mengubah tegangan DC masukan yang bersifat tetap menjadi tegangan DC keluaran yang bersifat variabel dimana besar tegangan keluaran tergantung pada kondisi *on-off (duty cycle)* sinyal pemicuan pada rangkaian kendali.

Buck DC Chopper merupakan suatu peralatan pengkonversi daya yang mengubah tegangan DC tetap menjadi tegangan DC variabel dengan magnitudo keluaran lebih kecil atau mendekati magnitudo masukannya dan memiliki polaritas tegangan keluaran sesuai dengan polaritas tegangan masukan.



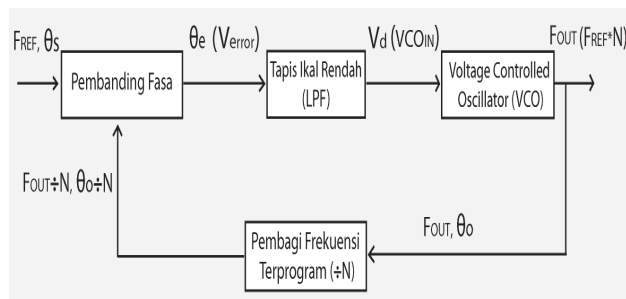
Gambar 1 Buck DC Chopper

Tegangan keluaran dari *Buck converter* dapat dihitung dengan persamaan 2.2 berikut :

$$E_a = \delta \cdot E_s \quad \dots (2.2)$$

2.3. Diskripsi Phase-Locked Loop (PLL)

Phase-Locked Loop (PLL) adalah sebuah blok fungsi yang dapat digunakan untuk menghasilkan *clock* berdasarkan referensi juga dari sebuah *clock*. PLL memiliki kelebihan dibandingkan osilator pada umumnya. Sesuai dengan namanya, bahwa mekanisme di dalam sistem PLL akan berusaha untuk selalu mengunci relasi antara gelombang referensi dengan gelombang keluaran yang dihasilkan. Sifat "mengunci" menyebabkan sebarang sumber frekuensi memiliki ketelitian tinggi, misalnya 1 ppm (0,1%), dengan PLL dapat dihasilkan sebarang frekuensi keluaran dengan ketelitian 1 ppm tadi. Sistem PLL tersusun atas 4 blok utama yaitu blok pembanding fasa, tapis ikal rendah, osilator terkendali tegangan dan pembagi frekuensi terprogram.



Gambar 2 Dasar *phase-locked loop*

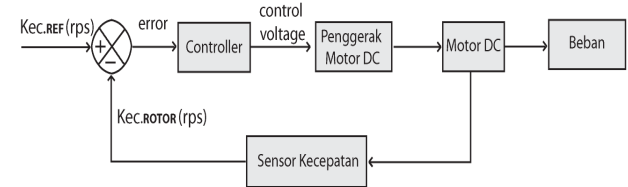
Hasil dari mekanisme ikal tertutup ini adalah tercapainya kondisi "locked" yaitu kondisi fasa dan frekuensi *clock* keluaran sama persis dengan fasa dan frekuensi *clock* masukan. Kesamaan fasa keduanya dijaga tetap terkunci sehingga memiliki ketelitian tinggi dan sistem akan stabil.

Adanya blok pembagi frekuensi yang berfungsi membagi frekuensi keluaran dengan faktor pembagi berupa suatu konstanta sebesar (N), maka frekuensi keluaran (F_{OUT}) sistem PLL dirumuskan sesuai persamaan berikut :

$$F_{OUT} = N \cdot F_{REF} \quad \dots (2.3)$$

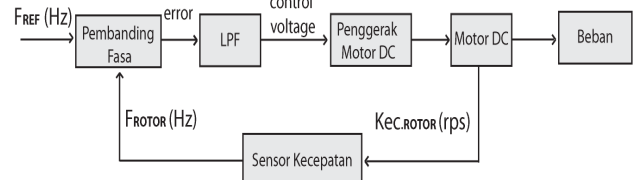
2.4. Konsep Operasi PLL Motor DC [11][13]

Secara umum konsep kendali kecepatan motor DC menggunakan pola ikal tertutup sesuai gambar 3 berikut.



Gambar 3 Pengendalian kecepatan motor DC menggunakan referensi kecepatan

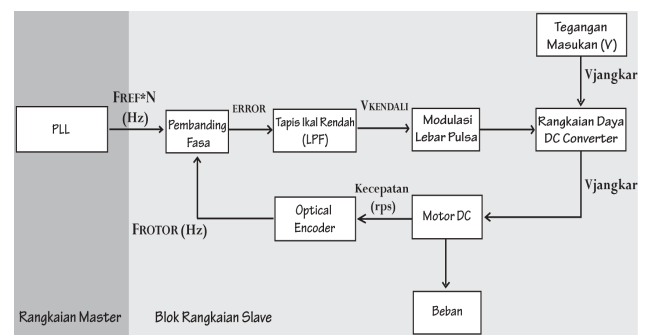
Pada gambar 3, kecepatan aktual rotor akan selalu menyesuaikan dengan besar kecepatan referensi. Apabila blok sensor kecepatan menggunakan suatu roda tacho (*optical encoder*) maka kecepatan aktual motor dinyatakan dalam suatu serial pulsa (*clock*). Setiap 1 Hz *clock* akan setara dengan kecepatan aktual (1/H) rps, dimana H adalah jumlah lubang roda tacho. Dengan demikian maka kendali kecepatan motor DC dapat dilakukan menggunakan referensi berupa suatu *clock*, sesuai gambar 4 berikut.



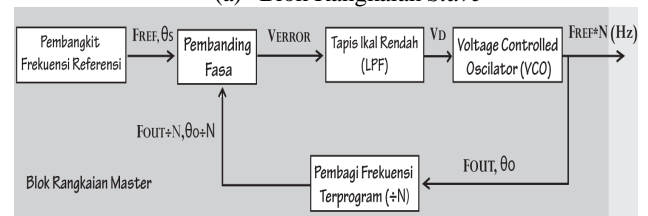
Gambar 4 Pengendalian kecepatan motor DC menggunakan referensi *clock*

Prinsip operasi gambar 4 identik dengan gambar 3. Blok penguat selisih menggunakan suatu rangkaian pembanding fasa. Rangkaian pembanding fasa berfungsi membandingkan parameter fasa dari *clock* referensi terhadap fasa *clock* kecepatan aktual rotor. Blok *controller* menggunakan suatu rangkaian tapis ikal rendah (LPF).

Konsep dasar gambar 4 dimodifikasi dengan implementasi konsep elektronika daya dan konsep PLL ke dalam sistem. Keseluruhan sistem tersusun dari dua blok utama yaitu blok rangkaian *master* dan blok rangkaian *slave*.



(a) Blok Rangkaian *Slave*



(b) Blok Rangkaian *Master*

Gambar 5 Diagram blok kendali kecepatan motor DC menggunakan PLL

Blok penggerak motor DC tersusun dari blok modulasi lebar pulsa (PWM) dan blok rangkaian daya yang dapat berupa *DC Chopper* atau *Half Bridge Converter*.

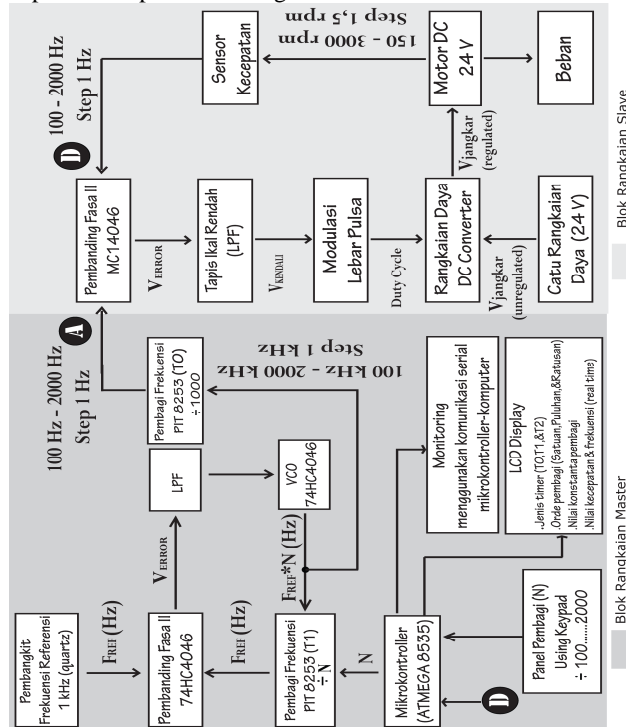
Dasar sistem pengendalian motor DC mengacu pada persamaan 2.4 berikut:

$$E_a = E_b + I_a \cdot R_a \quad \dots (2.4)$$

Saat tercapai kondisi terkunci (*locked*) maka *clock* umpan balik akan memiliki fase dan frekuensi yang sama dengan *clock* referensi. Blok tapis ikal rendah (LPF) memiliki peran penting karena menentukan waktu tanggapan sistem PLL mencapai kestabilan (*lock time*). Idealnya respon sistem dirancang beresilasi sesaat (*teredam kritis*).

III. PERANCANGAN DAN PEMBUATAN ALAT

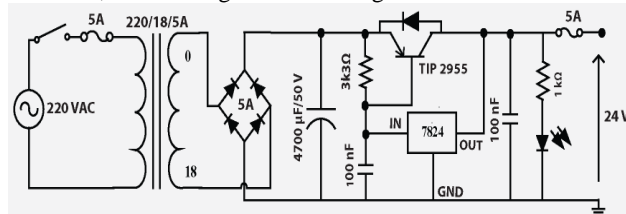
Adapun gambaran umum tentang alat yang dirancang, dapat dilihat pada blok diagram berikut ini:



Gambar 6 Diagram blok perancangan

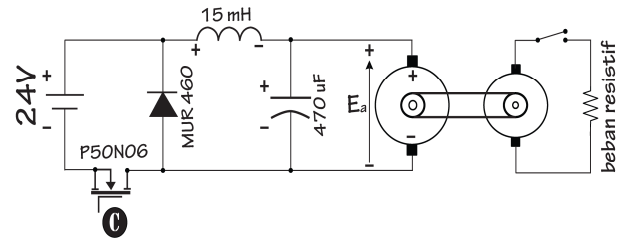
3.1. Perancangan Rangkaian Daya

Catu rangkaian daya menggunakan transistor daya TIP 2955 dengan kemampuan tegangan kerja $V_{CE(MAX)}$ 60 V dan arus 15A, untuk menguatkan arus regulator LM7824.



Gambar 7 Penyearah untuk rangkaian daya

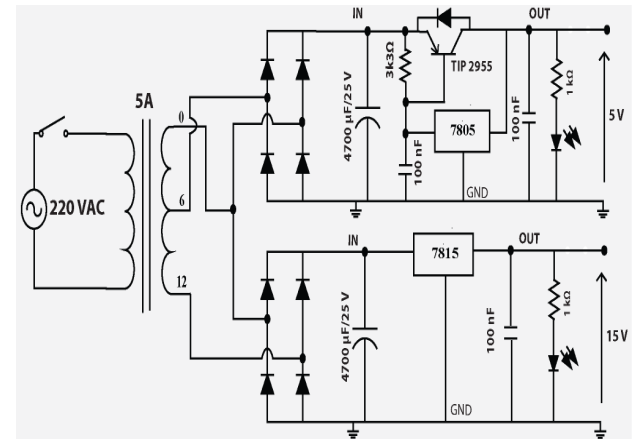
Buck Converter yang dirancang harus mampu menaikan tegangan hingga mencapai 24 V_{DC} dan penyediaan arus maksimal 5A. MOSFET menggunakan P50N06 dengan spesifikasi tegangan *breakdown drain source* $V_{(BR)DSS}$ 60 V dan kemampuan arus *drain* maksimal $I_{D(max)}$ 50 A. Dioda menggunakan MUR460 dengan karakteristik *fast recovery rectifier* antara 25-75 ns.



Gambar 8 Rangkaian daya hasil perancangan

3.2. Perancangan Rangkaian Kendali

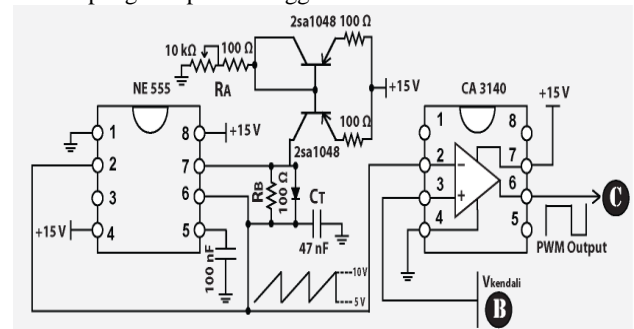
Rangkaian kendali menggunakan catu tegangan 5V dan 15V.



Gambar 9 Penyearah rangkaian kendali

3.2.1 Modulasi Lebar Pulsa

Atas pertimbangan keakuratan pengaturan *duty cycle*, keandalan, serta ketersediaan di pasar maka rangkaian menggunakan komponen terintegrasi tipe generik 555 sebagai osilator gelombang gigi gergaji. Gelombang ini selanjutnya dibandingkan dengan tegangan kendali berupa tegangan searah rata. Komponen pembanding menggunakan sebuah penguat operasi tunggal CA3130.



Gambar 10 Skema Rangkaian PWM

Piranti pensaklaran pada rangkaian daya akan dipicu pada frekuensi tetap yaitu 10 kHz. Frekuensi osilasi ditentukan oleh resistor R_A , R_B dan kapasitor C_T , mengikuti persamaan :

$$f_{osc} = \frac{1,5}{(R_A + 2R_B) C_T} \quad \dots (3.1)$$

3.2.2. Rangkaian Phase-Locked Loop

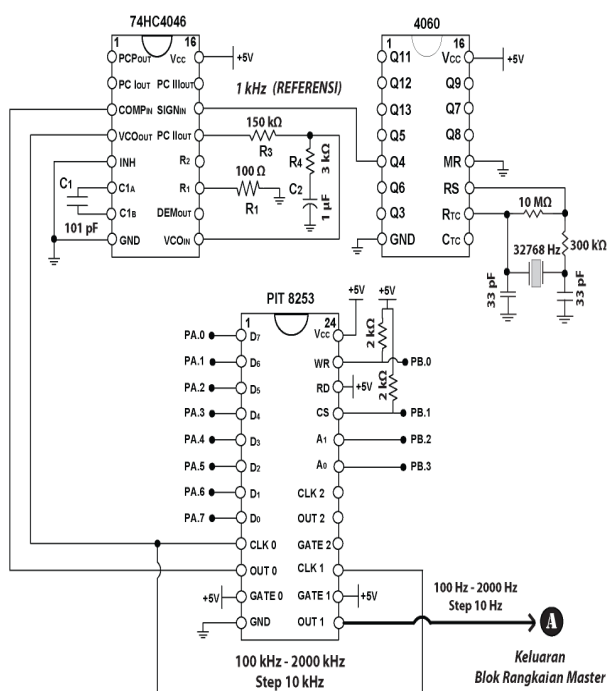
Perwakilan frekuensi referensi (F_{REF}) harus konstan dan dapat memberikan kestabilan yang dibutuhkan. Osilator kristal dapat memenuhi kriteria tersebut. Menyesuaikan spesifikasi kecepatan nominal motor yaitu 4000 rpm 24V, dengan kapasitas pengaturan kecepatan yang direncanakan

yaitu dengan rentang 150 rpm hingga 3000 rpm maka frekuensi keluaran blok pembangkit frekuensi referensi dirancang pada nilai 1 kHz. Nilai frekuensi 1 kHz akan setara dengan kecepatan 1000 rpm jika jumlah lubang roda sensor optis 60 buah.

Blok Pembanding fasa menggunakan rangkaian terpadu tipe generik 4046. Pembanding fasa yang digunakan dalam perancangan adalah pembanding fasa II, karena mekanisme kerja pembanding fasa II dapat difungsikan dalam *duty cycle* berapapun.

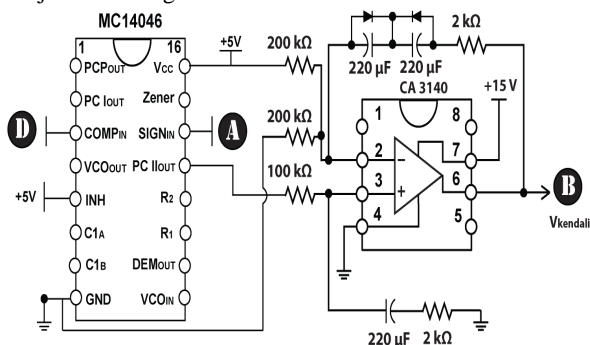
VCO dirancang bekerja pada frekuensi tengah 2,5 MHz, frekuensi *lock range* 5MHz, tanpa menggunakan frekuensi *offset*. Dasar perancangan VCO yang dipakai merujuk pada *datasheet 74HC4046 PLL with VCO* yang diproduksi oleh Philips. Berdasarkan gambar 29, gambar 31 *datasheet*, dan pengujian langsung, diperoleh nilai kapasitor C1 101 pF dan resistor R1 100 Ω.

Gambar rangkaian blok kendali *master* secara keseluruhan ditunjukkan oleh gambar berikut ini.



Gambar 11 Rangkaian blok *master* keseluruhan

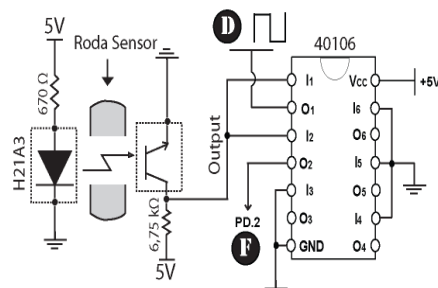
Rangkaian penanding fasa dan LPF blok kendali *slave* ditunjukkan oleh gambar berikut ini.



Gambar 12 Rangkaian penanding fasa – LPF blok *slave*

3.2.3 Sensor Kecepatan Optis

Rangkaian sensor kecepatan optis pada tugas akhir ini menggunakan roda sensor seperti diperlihatkan gambar berikut.



Gambar 13 Sensor kecepatan menggunakan roda sensor

Roda sensor yang digunakan memiliki 40 lubang. Frekuensi pulsa digital yang terukur terhadap kecepatan aktualnya adalah :

$$1 \text{ Hz} = \frac{60}{N} \text{ rpm}$$

$$1 \text{ Hz} = \frac{60}{40} \text{ rpm}$$

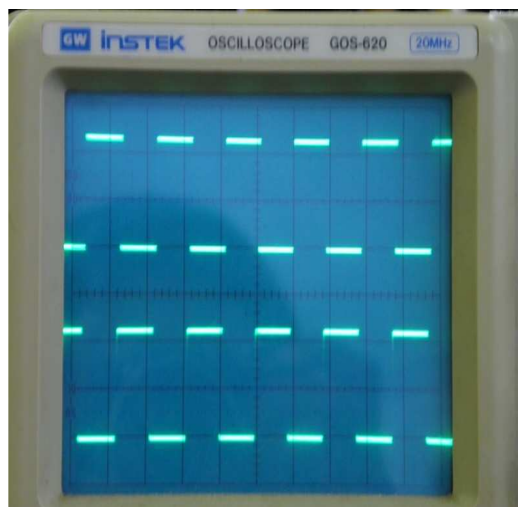
Dengan demikian setiap kecepatan 1,5 rpm akan diubah menjadi pulsa digital dengan frekuensi 1 Hz.

IV. PENGUJIAN DAN ANALISA

Pengujian dan analisa yang dilakukan dalam tugas akhir ini adalah pengujian terhadap perangkat keras dan pada sistem secara keseluruhan.

4.1 Pengujian Gelombang Keluaran

Gelombang referensi dan umpan balik pada rangkaian PLL *master* ditunjukkan gambar berikut :



Gambar 14 Gelombang keluaran rangkaian *master*

Pada gambar 14 ditunjukkan gelombang clock umpan balik (bawah) pada kondisi sefase terhadap clock referensi (atas). Kedua gelombang memiliki frekuensi 1kHz.

4.2 Pengujian Pengaturan Rangkaian PLL *Master*

Pada tugas akhir ini pengaturan *clock* keluaran rangkaian PLL *master* dilaksanakan melalui pengaturan nilai kontanta pembagi pada blok pembagi frekuensi terprogram *counter 1* PIT 8253. Pengujian ini dimaksudkan untuk mengetahui nilai *clock* keluaran rangkaian PLL *master* terhadap perubahan konstanta pembagi. Perubahan nilai *clock* referensi rangkaian PLL *slave* otomatis akan meregulasi kecepatan motor DC.

Tabel 4.1 Perubahan *clock* keluaran terhadap konstanta pembagi blok PLL *master*

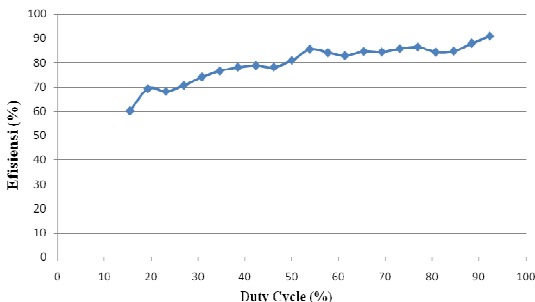
| No. | Clock Referensi (Hz) | Konstanta Pembagi (N) | VCO _{IN} (V) | Clock Keluaran (kHz) |
|-----|----------------------|-----------------------|-----------------------|----------------------|
| 1 | 1000 | 100 | 0,548 | 102,3 |
| 2 | 1000 | 300 | 0,637 | 307,1 |
| 3 | 1000 | 500 | 0,692 | 511,9 |
| 4 | 1000 | 700 | 0,729 | 716,7 |
| 5 | 1000 | 900 | 0,763 | 921,4 |
| 6 | 1000 | 1000 | 0,779 | 1024 |
| 7 | 1000 | 1200 | 0,809 | 1228 |
| 8 | 1000 | 1400 | 0,835 | 1433 |
| 9 | 1000 | 1600 | 0,861 | 1638 |
| 10 | 1000 | 1800 | 0,885 | 1842 |
| 11 | 1000 | 2000 | 0,910 | 2047 |
| 12 | 1000 | 2200 | 0,933 | 2252 |
| 13 | 1000 | 2400 | 0,957 | 2456 |
| 14 | 1000 | 2600 | 0,980 | 2661 |
| 15 | 1000 | 2800 | 1,005 | 2866 |
| 16 | 1000 | 3000 | 1,029 | 3071 |
| 17 | 1000 | 3200 | 1,054 | 3275 |
| 18 | 1000 | 3400 | 1,079 | 3480 |
| 19 | 1000 | 3600 | 1,105 | 3685 |
| 20 | 1000 | 3800 | 1,132 | 3890 |
| 21 | 1000 | 4000 | 1,160 | 4094 |

Dari tabel 4.1 diketahui bahwa sistem PLL pada rangkaian *master* secara umum sudah beroperasi baik. Frekuensi keluaran PLL hasil perancangan selalu lebih cepat daripada frekuensi referensi, dengan besar sebanding dengan nilai konstanta pembagi.

4.3 Pengujian Buck Converter

Tabel 4.3 Hasil pengujian efisiensi *Buck converter*

| No. | Duty Cycle (%) | V _{OUT} (V) | P _{IN} (W) | P _{OUT} (W) | Efisiensi (%) |
|-----|----------------|----------------------|---------------------|----------------------|---------------|
| 1 | 15,38 | 2,62 | 1,436 | 0,865 | 60,192 |
| 2 | 19,23 | 3,31 | 1,673 | 1,159 | 69,247 |
| 3 | 23,08 | 4,29 | 2,267 | 1,544 | 68,134 |
| 4 | 26,92 | 4,95 | 2,523 | 1,782 | 70,636 |
| 5 | 30,77 | 5,91 | 2,873 | 2,128 | 74,067 |
| 6 | 34,61 | 6,65 | 3,126 | 2,394 | 76,589 |
| 7 | 38,46 | 7,65 | 3,627 | 2,831 | 78,046 |
| 8 | 42,31 | 8,5 | 3,995 | 3,145 | 78,723 |
| 9 | 46,15 | 9,15 | 4,336 | 3,386 | 78,072 |
| 10 | 50 | 10,05 | 4,594 | 3,719 | 80,942 |
| 11 | 53,84 | 10,85 | 4,697 | 4,015 | 85,479 |
| 12 | 57,69 | 11,77 | 5,318 | 4,473 | 84,109 |
| 13 | 61,34 | 12,56 | 5,755 | 4,773 | 82,933 |
| 14 | 65,38 | 13,31 | 5,98 | 5,058 | 84,579 |
| 15 | 69,23 | 14,12 | 6,527 | 5,507 | 84,376 |
| 16 | 73,08 | 14,8 | 6,737 | 5,772 | 85,677 |
| 17 | 76,92 | 15,5 | 7,180 | 6,2 | 86,350 |
| 18 | 80,76 | 16,3 | 7,733 | 6,52 | 84,313 |
| 19 | 84,61 | 17,21 | 8,124 | 6,884 | 84,732 |
| 20 | 88,46 | 18,8 | 8,555 | 7,52 | 87,905 |
| 21 | 92,31 | 19,7 | 8,679 | 7,88 | 90,795 |

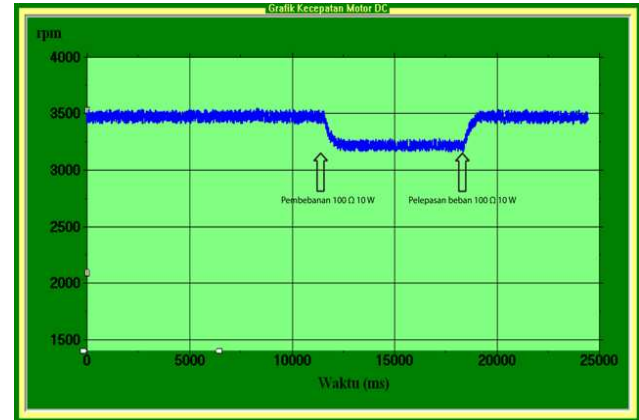


Gambar 15 Grafik relasi *duty cycle* terhadap efisiensi *Buck converter*

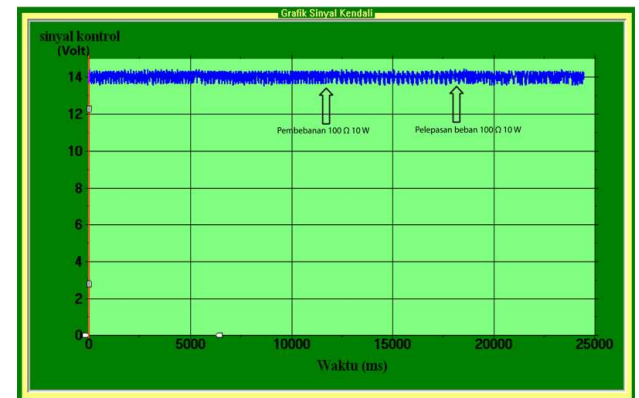
Grafik gambar 15 memperlihatkan bahwa efisiensi berbanding lurus dengan *duty cycle*. Penambahan *duty cycle* akan mengakibatkan tegangan dan arus keluaran meningkat. Efisiensi tertinggi 90,795 % terjadi pada *duty cycle* 92,31 %, efisiensi terendah 60,192 % pada *duty cycle* 15,38 %.

4.4 Pengujian Kecepatan Motor DC Tanpa PLL

Pengujian ini dilakukan dengan menghubungkan buka sisi umpan balik pada rangkaian pembanding fasa sehingga sistem menjadi ikal terbuka. Pada kondisi ini selisih fasa mendahului tak terhingga untuk setiap waktu sehingga *duty cycle* menjadi maksimum (100%).



(a) Grafik relasi kecepatan terhadap waktu



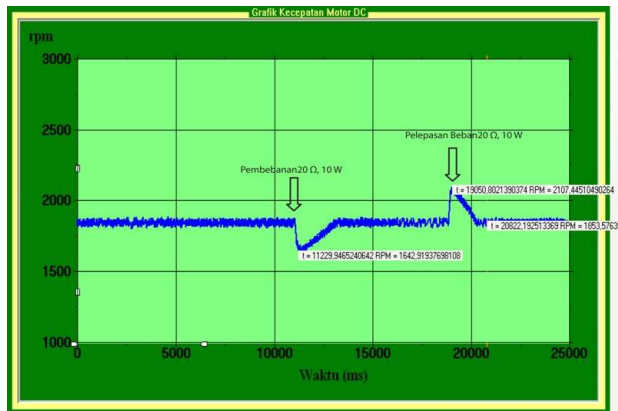
(b) Grafik relasi tegangan kendali terhadap waktu
Gambar 16 Grafik kecepatan motor DC tanpa PLL

Kecepatan maksimum aktual rotor yang dibebani generator DC adalah 3450 rpm. Pada pembebanan 100 Ω, 10 W kecepatan rotor turun sekitar 250 rpm (7,25%) menjadi 3200 rpm. Tegangan kendali memiliki magnitudo tetap sebab perbedaan fasa bersifat tetap.

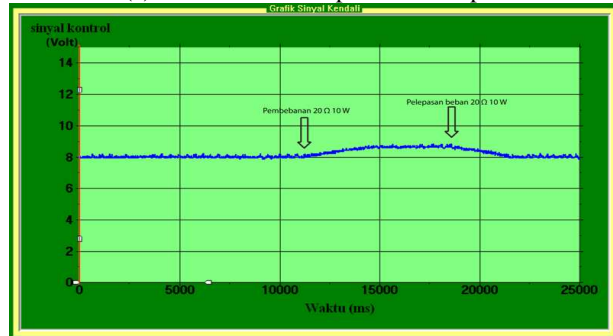
4.5 Pengujian Kecepatan Motor DC Dengan PLL

Pengujian gangguan terhadap kecepatan motor DC dilakukan dengan pembebanan dan pelepasan beban menggunakan beban resistif (20 Ω, 10 W dan 10 Ω, 10 W) yang dirangkai paralel dengan keluaran generator DC. Pengujian ini bertujuan untuk mengetahui karakteristik pengaruh pembebanan terhadap kecepatan rotor dan waktu *lock time*.

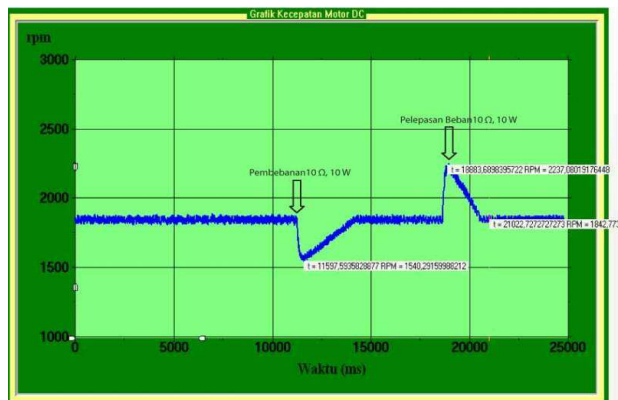
Dengan menggunakan faktor pembagi 1200 maka besar *clock* referensi akan setara dengan 1228 Hz (Tabel 4.1). Dengan demikian kecepatan rotor aktual yang terukur pada sensor kecepatan optis setara dengan 1228 x 1,5 rpm = 1842 rpm, karena sensor optis memiliki lubang sejumlah 40 buah.



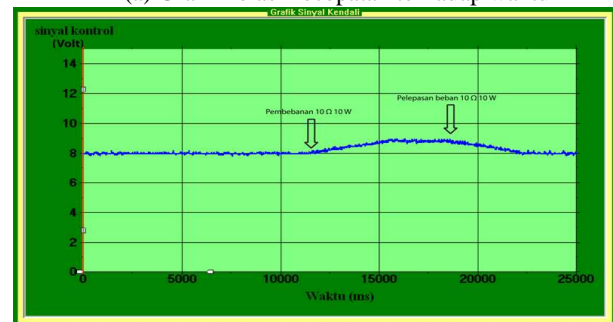
(a) Grafik relasi kecepatan terhadap waktu



(b) Grafik relasi tegangan kendali terhadap waktu
Gambar 17 Grafik pengendalian kecepatan motor DC menggunakan PLL beban 20 Ω



(a) Grafik relasi kecepatan terhadap waktu



(b) Grafik relasi tegangan kendali terhadap waktu
Gambar 18 Grafik pengendalian kecepatan motor DC menggunakan PLL beban 10 Ω

Pada pembebanan 10 Ω kecepatan menurun lebih tajam hingga mencapai nilai sesaat 1540 rpm (16,4 %) dibanding pada pembebanan 20 Ω yang mencapai nilai sesaat 1642 rpm (10,86 %). Beban lebih besar (10 Ω) menarik arus lebih besar sehingga menyebabkan torsi motor mengalami

peningkatan lebih besar. Rugi tegangan akibat resistansi akan bertambah sehingga penurunan kecepatan lebih tajam.

Kondisi yang sama terjadi pula saat pelepasan beban. Pada pelepasan beban 10 Ω kecepatan meningkat lebih tajam hingga mencapai nilai sesaat 2237 rpm (21,44 %) dibanding pada pelepasan beban 20 Ω yang mencapai nilai sesaat 2107 rpm (14,39 %).

Jika dicermati gambar 17 dan 18, didapatkan bahwa pada pembebanan 20 Ω sistem mencapai kondisi *locked* dibutuhkan waktu 2 detik dan saat pelepasan beban 20 Ω sistem mencapai kondisi *locked* dibutuhkan waktu 1,5 detik. Pada pembebanan dan pelepasan beban 10 Ω , sistem mencapai kondisi *locked* dibutuhkan waktu 3 detik dan 2 detik. Perbedaan waktu *lock time* pada kondisi pembebanan dan pelepasan beban dapat disebabkan oleh sifat kelembaman motor. Seperti yang diketahui bahwa sifat kelembaman mengakibatkan waktu akselerasi motor lebih lambat dibanding waktu deselerasi motor. Apabila selisih fase antara pulsa kecepatan dengan *clock* referensi semakin besar maka mengakibatkan respon rangkaian LPF lebih lama dan cenderung semakin terlambat, sebab waktu akselerasi dan deselerasi tidak sama.

V. PENUTUP

5.1 Kesimpulan

1. Rangkaian kendali kecepatan motor DC menggunakan *Phase-Locked Loop* yang dirancang terdiri dari dua blok, yaitu rangkaian *master* dan rangkaian *slave*.
2. Rangkaian *master* PLL mampu menghasilkan fase *clock* keluaran pada kondisi sefase terhadap fase *clock* referensi. Sedangkan rangkaian *slave* PLL, fase pulsa kecepatan aktual rotor sangat dekat pada kondisi sefase dengan fase *clock* kecepatan referensi. Pada kecepatan referensi 1842 rpm, motor DC pada keadaan berbeban generator DC dan resistor 10 Ω kecepatan aktual terukur adalah 1842,77 rpm.
3. Rangkaian daya menggunakan konverter *Buck* untuk mensuplai kumparan jangkar motor DC dengan beban tetap generator DC memiliki efisiensi tertinggi 90,795 % pada *duty cycle* 92,31 %, dan efisiensi terendah 60,192% pada *duty cycle* 15,38 %.
4. Kecepatan rotor mengalami penurunan sesaat pada pembebanan. Pada kecepatan 1842 rpm dengan beban 10 Ω motor mengalami deselerasi mencapai 1540 rpm (16,4 %), sedangkan beban 20 Ω deselerasi motor mencapai 1642 rpm (10,86 %). Peningkatan pembebanan menyebabkan peningkatan selisih/beda fase *clock* kecepatan aktual dengan fase *clock* kecepatan referensi.
5. Pengaruh peningkatan pembebanan mengakibatkan waktu yang dibutuhkan sistem untuk mencapai kondisi sefase (*locked*) menjadi lebih lambat. Pada kecepatan 1842 rpm pembebanan 10 Ω membutuhkan waktu 3 detik dan pembebanan 20 Ω membutuhkan waktu 2 detik.

5.2 Saran

1. Keseluruhan rangkaian kendali dirancang menggunakan satu digital *Phase-Locked Loop*. Perangkat keras menjadi berukuran lebih kecil dan menghemat biaya.
2. Menggunakan motor DC jenis penguatan terpisah dan berkapasitas lebih besar. Memungkinkan menggunakan topologi rangkaian daya *Half Bridge*.
3. Desain untuk mengatasi *over/undershoot* berlebih dan meningkatkan waktu akselerasi.

DAFTAR PUSTAKA

- [1] A.W. Moore, *Phase-locked loops for motor-speed control*, IEEE Spectrum, pp.61-67, April 1973.
- [2] Mchida H, Kambara M, Tanaka K, Kobayashi F, *A Motor Speed Control System Using Dual-Loop PLL and Speed Feed-Forward/Back*, IEEE International Conference on Mechatronics and Automation, pp.1512-1517, August 2010.
- [3] Bambang Sutopo, Wisnu Djatmiko, *Speed Control DC Motor under Varying Load Using Phase-Locked Loop System*, Proc. of the International Conf. on Electrical, Electronics, Communication, and Information CECI 2001, Jakarta, 2001.
- [4] Prasad E.S.N., Gopal K. Dubay, Prabhu Srivinas S., *High-Performance DC Motor Drive with Phase-Locked Loop Regulation*, IEEE Transaction on Industry Application, Vol 1A-21, No.1, January/February 1985.
- [5] Garth Nash, *Phase Locked Loop Design Fundamental*, Motorola Application Note-535, Motorola Inc., 1994.
- [6] Wildi Theodore, *Electrical Machines, Drives and Power Systems 3rd*, Prentice-Hall International, 1997.
- [7] Katsuhiko Ogata, *Teknik Kontrol Otomatik*, Penerbit Erlangga, Jakarta, 1993.
- [8] Rashid M, *Power Electronics Circuit, Device, and Application 2nd*, Prentice-Hall International Inc, 1988.
- [9] Iwan Setiawan, *Kontrol PID untuk Proses Industri*, Elex Media Komputindo, Jakarta, 2008.
- [10] Guan-Chun Hsieh, *Phase-Locked Loop Techniques – A Survey*, IEEE Transactions on Industrial Electronics, vol.43, no.6, December 1996.
- [11] Gardner F. M, *Phase Lock Techniques 2nd*, John Wiley, New York, 1967.
- [12] Braiek Ezzedine Ben, Chaari Abdessattar, *Sampled Modelling Approach for Stability Analysis of a PLL DC Motor Speed Control*, Department of Electrical Engineering, ESSTT, Tunisia, 2005.
- [13] -----, Application Notes U-113 : *Design Notes On Precision Phase Locked Loop Speed Control For DC Motor*, Texas Instruments Inc., 1999.
- [14] Balogh Laszlo, *Design And Application Guide For High Speed MOSFET Gate Drive Circuits*.
- [15] Tocci Ronald J, *Digital System Principles and Applications*, Prentice-Hall International Inc, 1997.
- [16] Lister, *Rangkaian dan Mesin Listrik*, Penerbit Erlangga, Jakarta, 1993.
- [17] http://www.hades.mech.northwestern.edu/rotary_encoder

PENULIS



Eko Wuri Handoyo (L2F006035). Mahasiswa angkatan 2006 pada Jurusan Elektro Fakultas Teknik Universitas Diponegoro dengan bidang konsentrasi Teknik Tenaga Listrik. Menyelesaikan studi Strata-1 pada tanggal 29 November 2011.