

HALAMAN PENGESAHAN

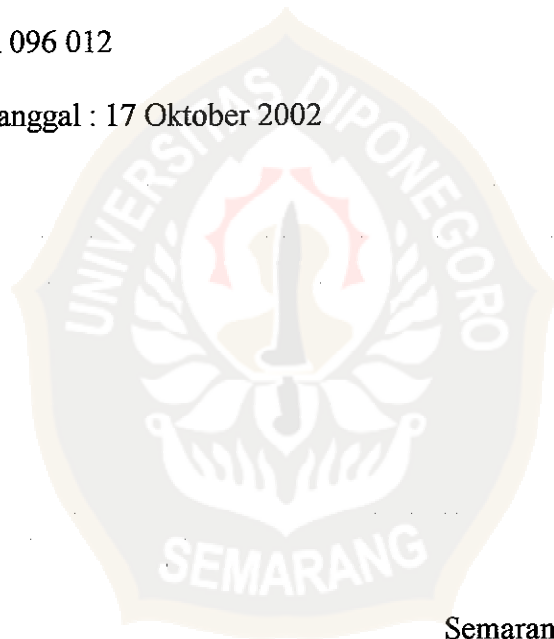
Lembar 1.

Judul : Penggunaan Cache Memori pada Transfer Data Processor dari dan ke Memori Utama

Nama : Budi Aryanto

NIM : J2A 096 012

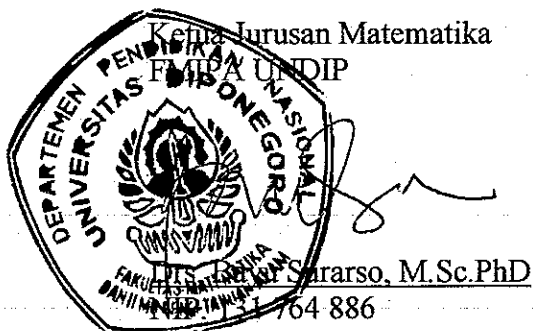
Telah lulus ujian tanggal : 17 Oktober 2002



Semarang, 17 Oktober 2002
Panitia Penguji Ujian Sarjana
Jurusan Matematika

Ketua

Drs. Kushartantya, M.IKomp.
NIP. 130 805 062



HALAMAN PENGESAHAN

Lembar 2.

Judul : Penggunaan Cache Memori pada Transfer Data Processor dari dan
ke Memori Utama

Nama : Budi Aryanto

NIM : J2A 096 012

Telah lulus ujian tanggal : 17 Oktober 2002



Semarang, 17 Oktober 2002
Panitia Penguji Ujian Sarjana
Jurusan Matematika

Pembimbing Utama

Pembimbing Anggota

Drs. Kushartantya, M.I.Komp
NIP. 130 805 062

Aris Sugiharto, S.Si
NIP. 132 161 207

KATA PENGANTAR

Puji syukur penulis panjatkan kehadirat Allah SWT yang telah melimpahkan petunjuk dan hidayah-Nya, sehingga penulis dapat menyelesaikan tugas akhir ini.

Penulisan tugas akhir dengan judul “Penggunaan Cache Memori pada Transfer Data dari dan ke Memori Utama”, disusun sebagai salah satu syarat untuk memperoleh gelar Sarjana Program Strata Satu (S1) pada Jurusan Matematika Fakultas Matematika dan Ilmu Pengetahuan Alam UNDIP.

Penulis menyadari bahwa selesainya tugas akhir ini adalah tidak lepas dari bantuan beberapa pihak, oleh karenanya dalam kesempatan ini penulis ingin menyampaikan terima kasih kepada:

1. Bapak Drs. Bayu Surarso, MSc.PhD selaku Ketua Jurusan Matematika.
2. Bapak Drs. Kushartantya, M.IKomp selaku Dosen Pembimbing I yang telah memberikan pengarahan hingga selesainya tugas akhir ini.
3. Bapak Aris Sugiharto, S.Si. selaku Dosen Pembimbing II yang telah banyak membantu dan meluangkan waktu hingga penulis dapat menyusun tugas akhir ini.
4. Dra. Dwi Ispriyanti, MSc selaku dosen wali angkatan '96
5. Seluruh staf pengajar jurusan Matematika Fakultas MIPA yang telah memberikan arahan dan ilmu yang berguna bagi penulis.

PERSEMBAHAN

Allah SWT, Puji Syukur atas segala nikmat, karunia, serta perlindunganNya, yang telah diberikan selama ini kepadaku.

Ayah dan Ibu tercinta, Terima kasih atas doa, dukungan, dan pemberian selama ini kepadaku yang belum terbalaskan.

Mas Dedy beserta Mbak Ika, Mas Haryadi beserta Mbak Eny, Mbak Lita, dan semua keponakanku (Adi dan Faisal), Terima kasih atas doa, serta pemberian, dan dukungannya kepadaku.

Almarhumah kakakku Ririn yang kini berada di Atas sana, Semoga Allah SWT senantiasa memberikan perlindungan dan tempat yang layak di sisiNya.

Yang ku cinta, Ela, Terima kasih atas semua dukungannya.

Agus, Ari Novi, FX Ari, Igun, Prihu, Ela, Kamto, Tera "bio'98", Selamat'95, Ba'un "Mesin'00", Nurdin '97 dan ceweknya, Mas Cholik'Lab Komp. Terima kasih telah menemaniku dan membantuku disaat Sidang Tugas Akhir ini.

All of Friend's Mathematic 96, Terima kasih atas kebersamaannya selama ini.

DAFTAR ISI

Halaman Judul	i
Halaman Pengesahan	ii
Kata Pengantar	iv
Abstrak	vi
Abstract	vii
Daftar isi	viii
Daftar Gambar	xi
Daftar Tabel	xii
Daftar Simbol	xiii
Daftar Istilah	xiv

BAB I PENDAHULUAN

1.1. Latar Belakang	1
1.2. Tujuan	2
1.3. Permasalahan	2
1.4. Batasan Masalah	3
1.5. Sistematika Pembahasan	4

BAB II LANDASAN TEORI

2.1. Konsep Dasar Memori	5
2.1.1. Lokasi	5
2.1.2. Kapasitas	6

2.1.3. Satuan Transfer	7
2.1.4. Metode Akses	7
2.1.5. Kinerja	9
2.1.6. Tipe Fisik	10
2.1.7. Karakteristik Fisik	11
2.1.8. Organisasi Memori	12
2.2. Pemberian Alamat dan Cara Pengkodean Informasi	12
2.3. Representasi Bilangan	16
2.3.1. Sistem Bilangan Desimal	16
2.3.2. Sistem Bilangan Biner	17
2.3.3. Sistem Bilangan Heksa desimal	18
2.4. Random Akses Memori (RAM)	
Semikonduktor dan Pengorganisasian Modulnya	20
2.4.1. RAM Semikonduktor	20
2.4.2. Organisasi Memori	23
2.4.2.1. Organisasi internal memori	23
2.4.2.2. Organisasi modul memori	25
2.4.3. Organisasi DRAM tingkat lanjut	26

BAB III PEMBAHASAN

3.1. Definisi Awal	29
3.2. Elemen Rancangan Cache	35
3.2.1. Ukuran Cache	35

3.2.1.1. Pemetaan Langsung	37
3.2.1.2. Pemetaan Asosiatif	41
3.2.1.3. Pemetaan Asosiatif Set	43
3.2.2. Algoritma Pengganti	46
3.2.3. Write Policy	47
3.2.4. Banyaknya Cache	50
3.3. Hasil Uji Coba Perlakuan Cache	53
3.3.1. Sistem yang digunakan	53
3.3.2. Hasil uji coba tanpa Cache	56
3.3.3. Hasil uji coba dengan menggunakan internal cache	57
3.3.4. Hasil uji coba dengan menggunakan Eksternal Cache	58
3.3.5. Hasil uji coba dengan menggunakan Internal dan Eksternal Cache	60
BAB IV KESIMPULAN	63
Daftar Pustaka	64
Lampiran	65

DAFTAR GAMBAR

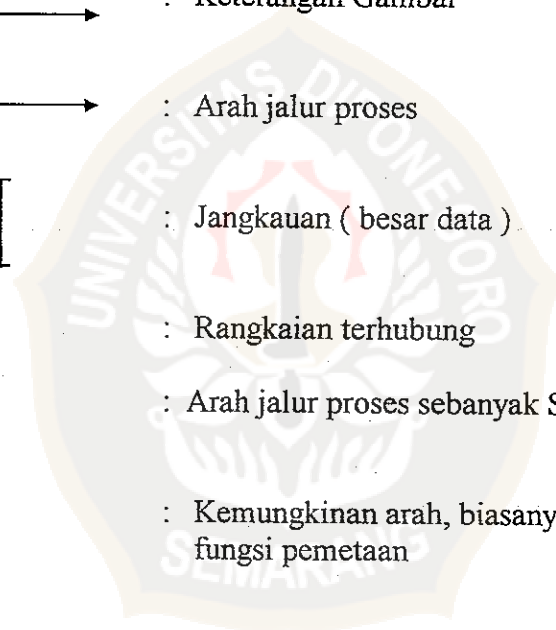
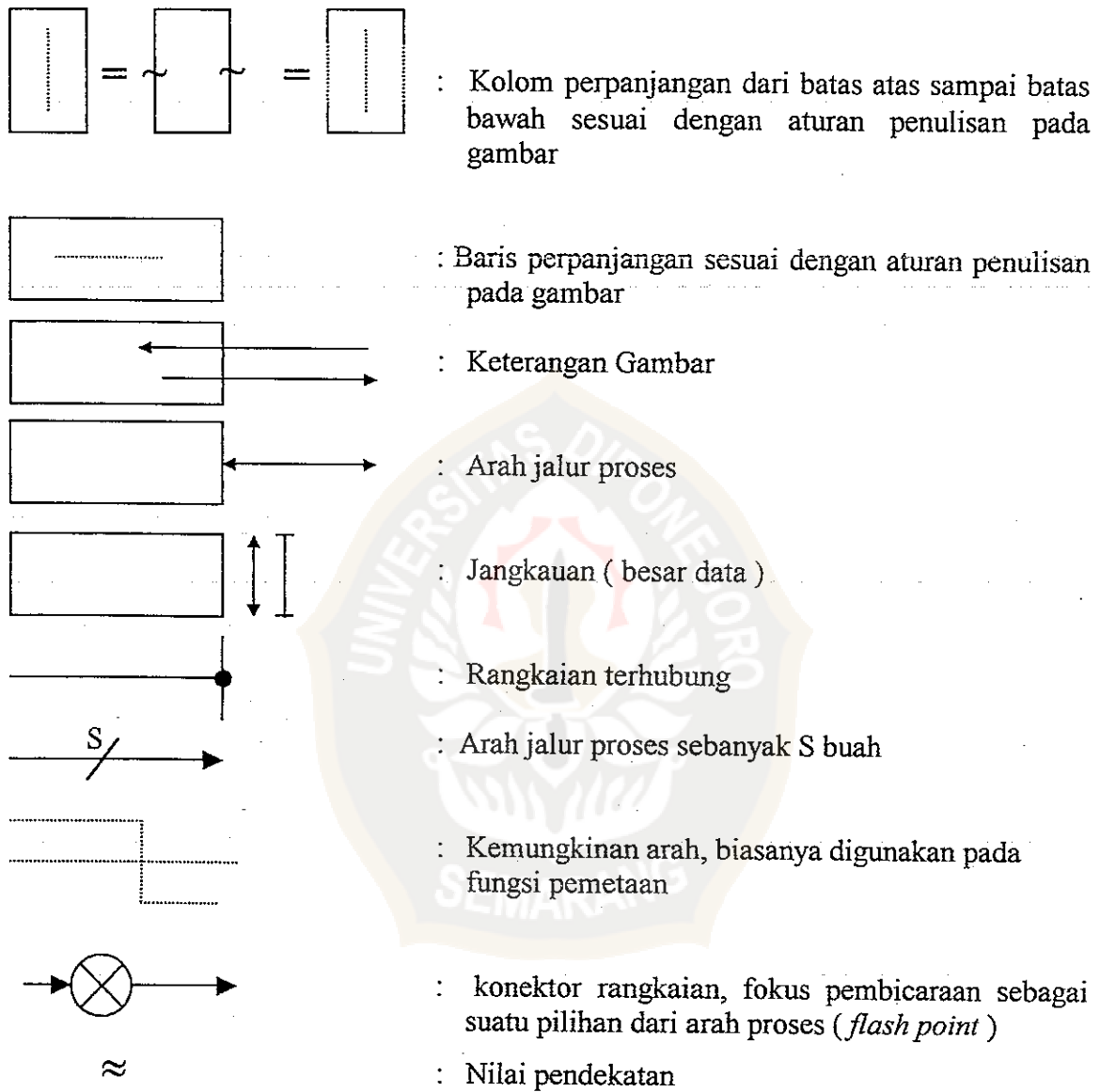
Gambar 2.1	Alamat Memori Utama.....	13
Gambar 2.2	Format Pengkodean Informasi dalam memori.....	15
Gambar 2.3	Organisasi Sel dalam Chip Memori.....	25
Gambar 3.1	Konsep Dasar Cache.....	29
Gambar 3.2	Struktur Cache dan Memori Utama.....	32
Gambar 3.3	Organisasi Cache Pemetaan Langsung.....	37
Gambar 3.4	Contoh Pemetaan Langsung.....	40
Gambar 3.5	Organisasi Cache Pemetaan Asosiatif.....	41
Gambar 3.6	Contoh Pemetaan Asosiatif.....	42
Gambar 3.7	Organisasi Pemetaan Set Asosiatif.....	44
Gambar 3.8	Contoh Pemetaan Asosiatif Dua Arah.....	44
Grafik 3.1	Hasil Uji Coba Perlakuan Cache memori Internal (L1) dan eksternal (L2) pada Processor AMD K-6-2 500 dari dan ke Memori Utama SDRAM 128 Mbyte.....	61
Grafik 3.2	Hasil Uji coba Perlakuan Cache pada Processor K-6-2 400 Mhz dan SDRAM 64 Mbyte.....	61
Grafik 3.3	Hasil Uji Coba Perlakuan Cache pada Processor K-6-2 400 Mhz dan SDRAM 128 Mbyte.....	62
Grafik 3.4	Hasil Uji coba Perlakuan Cache pada Processor K-6-2 500 Mhz dan SDRAM 64 Mbyte.....	62
Flowchart 3.1	Operasi Read Cache.....	33

DAFTAR TABEL

Tabel 2.1	Karakteristik Penting Sistem Memori Komputer.....	12
Tabel 2.2	Contoh Representasi Bilangan Heksadesimal.....	19
Tabel 2.3	Tipe – tipe Memori Semikonduktor.....	21
Tabel 3.1	Elemen Rancangan Cache.....	34



DAFTAR SIMBOL



DAFTAR ISTILAH

<i>Processor / CPU</i>	unit pemroses sentral, merupakan bagian dari mesin von neumann yang terdiri dari unit kontrol, unit aritmatik dan logika, dan file register. Fungsi sebagai sentral peroses terhadap seluruh data dan perintah di dalam komputer.
<i>Memory</i>	Tempat penyimpanan data baik tetap maupun sementara selama proses atau setelah proses berjalan
<i>Microprocessor / chip</i>	Rangkaian terintegrasi berbentuk kepingan yang berisi sel – sel semikonduktor yang berguna sesuai dengan fungsi dari chip tersebut.
<i>Semikonduktor</i>	Bahan pembuatan komponen rangkaian terpadu yang berukuran sangat kecil.
<i>Mesin Van Neumann</i>	Mesin yang secara konseptual operasinya didasarkan pada siklus van neumann. Ia merupakan prosessor aliran instruksi tunggal, aliran data tunggal yang menggunakan counter program untuk mengontrol pengurutan atau perangkaian instruksinya.
<i>Siklus mesin Van Neumann</i>	Siklus penjemputan instruksi dari memori, mengkodekannya, menambahkan counter program agar mengarah ke instruksi selanjutnya, dan kemudian menjalankan instruksi tersebut.
<i>CRAY-1</i>	Processor vektor pipelined pertama dari Cray Research (1975).
<i>Pipelineing</i>	Teknik Hardware yang memungkinkan banyak operasi berjalan serentak, dalam bentuk assembly – line, dengan cara memisahkan operasi menjadi tahapan dan memberikan hardware khusus untuk setiap tahap pemrosesan., ia adalah operasi berurutan yang berawal, berjalan, dan selesai secara berangkai.
<i>Pipeline</i>	unit komputer yang menggunakan pipelineing. Sering disebut juga pipe.
<i>SLI</i>	Integrasi Skala Luas. Merupakan sifat sirkuit terpadu yang hanya mempunyai ribuan transistor pada setiap chip tunggal.
<i>VLSI</i>	Integrasi Skala Sangat Luas. Merupakan sifat sirkuit terpadu yang berisi lebih dari 1 juta transistor pada setiap chip tunggal.
<i>Tag</i>	berisi informasi alamat, yang digunakan untuk menentukan apakah cache hit terjadi ketika diberikan ke alamat memori

utama. Jumlah bit dalam tag alamat tergantung pada jenis cacheynya.

ASCII	American Standard Code for Information Interchange. Kode 7 bit untuk memetakan kode biner ke dalam kode karakter dan kontrol.
EBCDIC	Extended Binary Coded Decimal Interchange Code. Representasi karakter yang hanya digunakan pada mainframe IBM.
AR	Register Argumen. Dalam memori asosiatif, ia adalah register yang menyangga argumen untuk pencarian asosiatif.
MBR	Register buffer Memori, tempat komputer menyangga data untuk operasi peletakan store dan tempat komputer menerima data selama operasi dijalankan load dalam memori. MBR bukan termasuk register.
MAR	Register Alamat Memori, tempat komputer menyangga alamat referensi selama akses memori. MAR bukan termasuk register.
Bandwidth	kecepatan transfer data, meliputi kecepatan transmisi data dari disk drive, dalam I/O, dan dalam jaringan interkoneksi.
BIOS	Sistem Input Output Dasar. Bagian dari sistem I/O pada suatu PC atau prosessor yang sama, yang secara langsung mengontrol peralatan interface hardware. Biasa dijumpai dalam ROM.
Cache	Buffer berkecepatan tinggi yang menyangga kopi dari nilai yang sering diakses dalam memori. Ditempatkan diantara sistem memori utama dan pemakaiannya guna mengurangi waktu akses efektif dari sistem memori. Dan sering disebut juga cache memori.
Cache hit	Situasi yang terjadi ketika peralatan merequest akses memori ke word yang telah ada di dalam memori cache, sehingga cache tersebut dapat dengan cepat mengembalikan item yang direquest.
Cache miss	Situasi yang terjadi apabila sebuah peralatan merequest akses ke data yang tidak berada dalam cache. Cache akan mengambil item tersebut dari memori, dalam hal ini dibutuhkan waktu yang lebih lama dari pada cache hit.
Cache control Logic	COMPARE : adalah set instruksi yang berfungsi sebagai pembanding dua nilai atau lebih, apakah nilai tersebut yang disangga dalam cache atau yang disangga dalam memori utama.

Jaringan Interkoneksi jaringan yang memungkinkan dua peralatan saling berkomunikasi dengan cara menghubungkan dua peralatan tersebut secara fisik selama durasi transmisi (*Bus*)

Cache write back cache yang menunda transfer data ke dalam memori sampai ia selesai mengupdate RAM – nya sendiri.

Cache write through cache yang mentransfer write dari CPU ke memori, sementara secara serentak ia mengupdate RAM – nya sendiri.

Bottleneck kemacetan akibat dari keterbatasan bandwidth pada suatu lintasan karena peralatan hardware yang tidak seimbang.

Prefecthing Instruksi perintah pemanggilan kembali instruksi dari memori, sebelum diperlukan oleh unit kontrol.

Jalur Zero-wait-state jalur pada PC AT Bus yang memungkinkan memori berkecepatan tinggi beroperasi tanpa kedudukan menunggu (zero-wait- state).

Gate logic flip flop konfigurasi penyimpanan informasi kode biner yang mengimplementasikan operasi boolean dengan menggunakan signal listrik pada komponen sirkuit elektronika dasar, dimana arus yang satu merepresentasikan nilai benar dan arus yang kedua mempresentsasikan nilai salah.

AMD K-6™ seri prosessor produksi *Advanced Micro Device Inc.* yang dipasarkan pada tahun 1999. Merupakan jenis prosessor super skalar RISC (komputer set instruksi tereduksi) dengan teknologi 3D, family 5 model 8.

XXX Mhz XXX di hasilkan dari perhitungan antara frekuensi *core* pada prosessor. Dengan menggunakan TSC (*Time Stamp Counter*) dengan ‘waktu’ didalam menjalankan suatu operasi dan membandingkan hasil nya dengan waktu sebenarnya (*Real Time Clock/RTC*) untuk menentukan frekuensi operasi dari prosessor.

RISC komputer yang mempunyai instruksi *load and store* yang relatif sederhana dan hanya dengan instruksi operasi register ke register. Mesin RISC biasa mempunyai set register yang besar, beberapa unit fungsional, dan unit – unit instruksi dan eksekusi pipelined.