

BAB II

LANDASAN TEORI

2.1 Rangkaian Terpadu Digital

Suatu sistem digital berfungsi dalam cara biner (*binary*). Di sini digunakan alat yang hanya berada dalam dua kemungkinan keadaan. Berbagai tanda digunakan untuk kedua keadaan yang dikuantisasikan ini misalnya : Tinggi atau rendah, benar atau salah dan yang paling umum digunakan adalah 1 (satu) atau 0 (nol) .

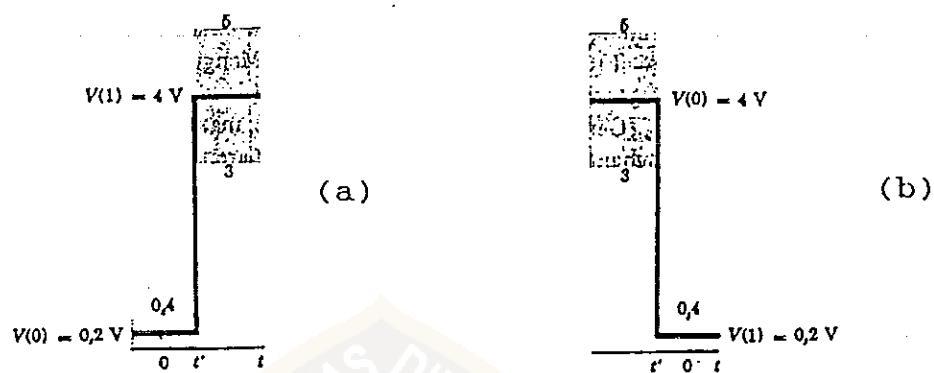
Suatu digit biner (angka 1 dan 0) disebut dengan bit (dari: binary digit) dan suatu kelompok bit yang mempunyai arti tertentu disebut byte (1 byte = 8 bit) (Millman, 1971).

Informasi biner dalam sistem digital yang tersaji dalam bentuk fisik disebut sinyal. Sinyal listrik seperti tegangan yang berada dalam dua keadaan yang diharapkan, dapat disajikan dalam data biner. Sebagai contoh, tegangan 5 Volt untuk data biner 1 dan 0 Volt untuk data biner 0.

Dalam sistem digital, informasi biner mengalami berbagai operasi dan proses. Proses manipulasi data biner ini dalam tingkatan perangkat keras dilakukan oleh rangkaian logika (*logic circuit*) (Mano, 1982).

Dalam sistem logika tingkat (*level logic*), implementasi suatu bit merupakan satu dari tingkat tegangan yang ditentukan. Jika tegangan yang lebih positif

melambangkan tingkat 1 dan yang lain adalah tingkat 0 maka sistem ini bekerja dengan logika positif, seperti diperlihatkan pada gambar 2.1.a. Sebaliknya jika tegangan yang lebih negatif melambangkan tingkat 1 dan yang lain adalah tingkat 0 maka sistem ini bekerja dengan logika negatif, seperti diperlihatkan pada gambar 2.1.b.



Gambar 2.1 Penjelasan definisi dari (a) logika positif dan (b) logika negatif. Transisi dari satu keadaan kepada keadaan lain terjadi pada saat $t = t'$ (Millman, 1971)

Suatu tingkat digital tidak diberi spesifikasi tepat, tetapi ditentukan oleh suatu jangkauan tegangan disekitar tingkat tertentu, misalnya 4 ± 1 Volt dan $0,2 \pm 0,2$ Volt (Millman, 1971).

Pada waktu sekarang ini rangkaian logika umumnya dibuat dalam suatu rangkaian terpadu/ integrated circuit (IC) (Mano, 1982).

Keuntungan-keuntungan yang diberikan oleh teknologi terpadu dibandingkan dengan komponen-komponen diskrit yang disambung dengan mempergunakan teknik konvensional diantaranya: Ongkos rendah, ukuran yang kecil, bekerjanya

lebih baik, keterpercayaan yang tinggi karena semua komponen diproduksi sekaligus dan tidak ada penyolderan (Malvino Leach, 1981).

Rangkaian terpadu digital dibuat dalam dua bentuk kemasan, yaitu kemasan flat dan kemasan DIP (*dual-in-package*). Kemasan DIP adalah kemasan yang paling banyak digunakan untuk rangkaian terpadu digital. Kemasan ini telah dibuat dalam ukuran tertentu dan dengan jumlah pin antara 14 sampai 64. Setiap IC mempunyai nomor kode tersendiri yang dicetak pada kemasan IC.

Untuk sistem digital, rangkaian terpadu ini beroperasi dengan sinyal biner dan mengerjakan sejumlah fungsi digital seperti gate, flip-flop, register, counter, adder dan lain-lain (Mano, 1982).

Berdasarkan teknologi pembuatannya IC terbagi menjadi dua kelompok besar. Satu kelompok diproduksi dengan teknologi bipolar. IC ini berisi bagian-bagian yang berupa transistor bipolar diskrit, dioda dan resistor. Kelompok IC digital yang lain menggunakan teknologi semikonduktor logam oksida (*MOS, metal oxida semiconduktör*) (Malvino Leach, 1981).

Ada beberapa tipologi rangkaian terpadu digital yang dibuat oleh pabrik. Tipologi ini berdasarkan hubungan yang dibuat antara komponen pembentuk rangkaian tersebut. Keluarga-keluarga rangkaian terpadu digital itu antara lain adalah DTL, RTL, ECL, MOS dan TTL. Dari beberapa

keluarga rangkaian terpadu digital itu, yang cukup digemari dalam penggunaannya adalah TTL (*Transistor Transistor Logic*) (Hill dan Peterson, 1974).

IC TTL diberi nomor dengan seri tertentu, sebagai contoh kemasan IC diberi nomor 7400, 7410, 7474, 74273 dan seterusnya. Masing-masing nomor mencirikan fungsi dari IC tersebut (Mano, 1982).

Untuk sinyal masukan IC TTL, logika 0 ditentukan oleh tegangan dibawah 0,8 Volt dan logika 1 ditentukan oleh tegangan diatas 2,0 Volt. Untuk tegangan catu (Vcc) umumnya dipakai tegangan +5,0 Volt.

2.2 Gerbang-gerbang Sistem Digital

Gerbang logika dapat dikelompokkan ke dalam dua kelompok yaitu :

1. Rangkaian logika kombinasional dimana keadaan output hanya bergantung pada kombinasi input. Begitu kondisi input berubah maka kondisi output akan berubah juga. Gerbang OR, AND dan NOT masuk sistem logika ini.
2. Rangkaian logika sekuensial yaitu sistem logika dimana keadaan outputnya tidak hanya tergantung pada input, tetapi juga pada output sebelumnya. Yang termasuk ke dalam sistem logika ini adalah flip-flop.

2.2.1 Gerbang OR, AND dan NOT

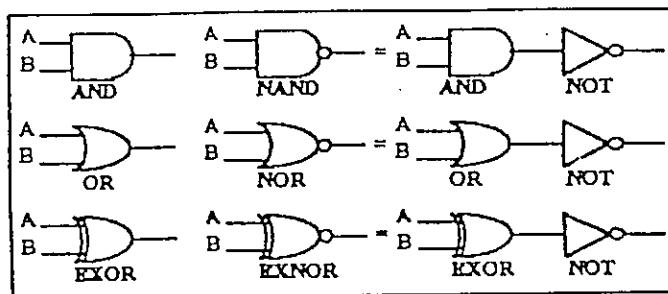
OR : Gerbang OR mempunyai dua atau lebih masukan dan satu keluaran. Cara operasinya mengikuti definisi

sebagai berikut : Keluaran suatu gerbang OR menunjukkan keadaan 1 jika satu atau lebih dari masukannya berada pada keadaan 1.

AND : Suatu gerbang AND mempunyai dua atau lebih masukan dengan keluaran tunggal. Operasi gerbang AND mengikuti definisi sebagai berikut : Keluaran dari gerbang AND menempati keadaan 1 jika dan hanya jika semua masukan menempati keadaan 1.

NOT : Gerbang NOT mempunyai satu masukan dan satu keluaran dan melakukan operasi logika peniadanaan (*negation*) sesuai definisi sebagai berikut : Keluaran dari gerbang NOT adalah kebalikan dari masukannya.

Kombinasi dari ketiga gerbang diatas dapat melaksanakan fungsi-fungsi penggerbangan yang lain seperti NAND, NOR, EX-OR (Exclusive OR) dan sebagainya.



Gambar 2.2 Simbol dari gerbang-gerbang logika
(Wasito Hermawan,1981)

Tabel kebenaran gerbang logika beserta hubungan boolean yang bersangkutan diperlihatkan pada tabel 2.1.

OR : $Y = A + B$		
Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

AND : $Y = A \cdot B$		
Input		Output
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

NOR : $Y = A + B$		
Input		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

NAND : $Y = A \cdot B$		
Input		Output
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

EX-OR : $Y = A \oplus B$		
Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

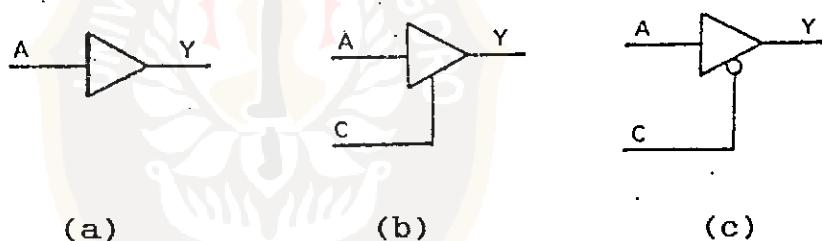
EX-NOR : $Y = A \oplus B$		
Input		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Tabel 2.1 Tabel kebenaran gerbang logika

2.2.2 Buffer

Buffer merupakan gerbang digital yang akan menghasilkan output data digital sama dengan data yang masuk pada inputnya. Buffer berfungsi sebagai penyangga bagi rangkaian yang dibebani, agar output rangkaian tersebut tidak terganggu oleh efek pembebahan dari rangkaian lain yang dikendalikannya.

Secara umum buffer mempunyai impedansi input yang sangat besar, karena impedansi ini didesain agar tidak membebani rangkaian yang disangganya. Buffer mempunyai impedansi output yang sangat kecil. Hal ini dimaksudkan agar buffer akan tetap mengeluarkan output yang normal meskipun dibebani oleh rangkaian lainnya.



Gambar 2.3 Simbol dari (a) buffer satu arah (b) buffer tri-state satu arah, C aktif tinggi (c) buffer tri-state satu arah, C aktif rendah (Anonim,1994)

Tri-state merupakan keadaan yang diakibatkan oleh terputusnya hubungan antara input dengan output. Dalam keadaan seperti ini antara input dan output dapat dikatakan mempunyai impedansi yang sangat tinggi (high impedance [z]). Keadaan tri-state dapat dianalogikan

sebagai saklar yang terbuka, yaitu antara terminal induk (*pole*) sebagai input dan terminal anak (*throw*) sebagai output, tidak ada hubungan.

Input	Output
A	Y
0	0
1	1

Tabel 2.2.a

Input		Output
C	A	Y
0	0	Z
0	1	Z
1	0	0
1	1	1

Tabel 2.2.b

Input		Output
C	A	Y
0	0	0
0	1	1
1	0	Z
1	1	Z

Tabel 2.2.c

Tabel 2.2 Tabel kebenaran dari buffer

Pada gambar 2.3.b.output buffer tri-state satu arah dikontrol oleh input C yang aktif saat logika tinggi (logika 1). Pada saat C = 0, buffer dalam keadaan tri-state (z), sedangkan pada saat C = 1 buffer berfungsi normal yaitu outputnya akan mengikuti keadaan inputnya.

Pada Gambar 2.3.c.output buffer tri-state satu arah dikontrol oleh input C yang aktif saat logika rendah (logika 0). Pada saat C = 0, buffer dalam keadaan normal sedangkan saat C = 1 buffer berada dalam keadaan tri-state.

2.3 Flip Flop

Flip-flop merupakan suatu rangkaian logika yang dapat

menyimpan (*memory*) informasi dalam digit bilangan biner 1 dan 0 selama waktu yang diperlukan .

Memory pada flip-flop bekerja atas dasar arus balik dari beberapa gate yang dihubungkan saling menyilang (bisa berasal dari cross NAND maupun cross NOR) sehingga akan memberikan suatu keadaan yang stabil.



Gambar 2.4 Rangkaian gerbang utama dari flip-flop (Deddy Rusmadi, 1989)

Flip-flop mempunyai dua buah jalan masukan (input). Setiap input diberi tanda S (set) dan R (reset), sedangkan kedua outputnya diberi tanda Q dan \bar{Q} . Men-set flip-flop berarti membuat agar $Q = 1$. Me-reset flip-flop berarti membuat agar $Q = 0$.

Berdasarkan rangkaian internalnya, terdapat 4 jenis flip-flop yaitu :

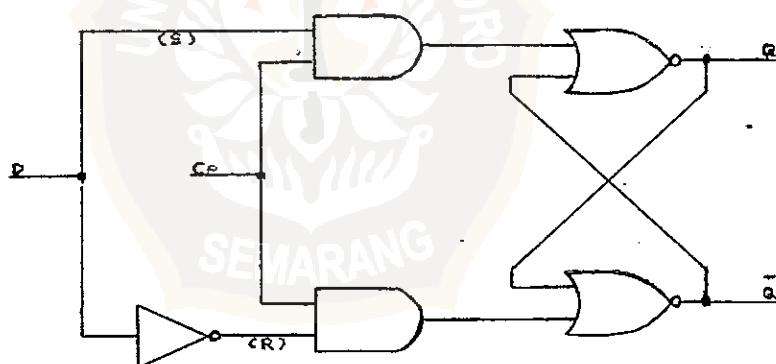
1. RS flip-flop : mempunyai dua input yaitu S (set) dan R (reset).
2. T flip-flop : mempunyai dua input S dan R, dilengkapi dengan satu input (T) sebagai clock.
3. D flip-flop : merupakan modifikasi dari RS flip-flop. Input S diganti dengan D yang juga input dari R (memakai inverter). Ditambah satu input clock (Cp).

4. JK flip-flop : mempunyai dua input yaitu J dan K dengan dua input pengontrol (S dan R) dan satu clock (C_p).

Untuk lebih jelasnya berikut diuraikan prinsip dasar cara kerja dari salah satu jenis flip-flop yang digunakan yaitu D-flip-flop. Gambar rangkaian D-flip-flop seperti ditunjukkan pada gambar 2.5.

Input D merupakan input untuk S yang juga sebagai input R dengan memakai fungsi NOT dari D (memakai inverter).

Data atau informasi yang berada pada input D akan dikirim dan disimpan pada output Q apabila C_p dalam keadaan 1 walaupun sebentar saja. Output Q akan mengikuti input D selama $C_p = 1$, tetapi jika $C_p = 0$, maka perubahan pada D tidak akan mempengaruhi output Q.



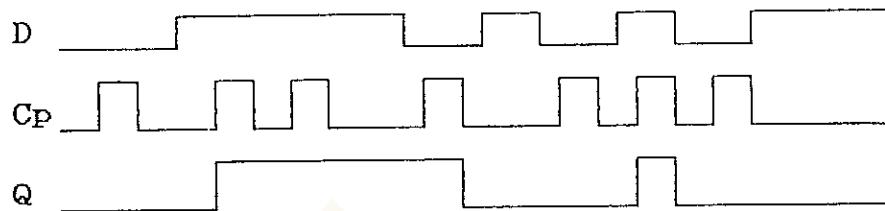
Gambar 2.5 Rangkaian D-flip-flop (Deddy Rusmadi, 1989)

Simbol rangkaian D-flip-flop seperti diperlihatkan pada gambar 2.6.



Gambar 2.6 Simbol D-flip-flop (Eddy Rusmadi, 1989)

Contoh diagram waktu dari rangkaian D-flip-flop seperti ditunjukkan pada gambar 2.7.



Gambar 2.7 Diagram Waktu dari D-flip-flop (Eddy Rusmadi, 1989)

Ada 4 jenis masukan pulsa yang berfungsi untuk menyulut (trigger) flip-flop, yaitu :

1. High Level Triggered : flip-flop baru bekerja apabila masukan pulsa dalam keadaan high.
2. Low Level Triggered : flip-flop baru bekerja apabila masukan pulsa dalam keadaan low.
3. Positif Edge Triggered : flip-flop akan bekerja apabila masukan pulsa berubah dari kondisi low ke kondisi high (pulsa naik).
4. Negatif Edge Triggered : flip-flop akan bekerja apabila masukan pulsa berubah dari kondisi high ke kondisi low (pulsa turun).

2.4 Register

Register dibentuk dari beberapa buah flip-flop yang mempunyai fungsi untuk menyimpan informasi dalam bilangan biner. Setiap bit informasi diwakili oleh sebuah flip-flop. Flip-flop dihubungkan sedemikian rupa sehingga informasi bisa dimasukkan dan disimpan sementara dan bisa dikeluarkan bilamana diperlukan.

Penyimpanan dan pengambilan data dari suatu register dilakukan dengan dua cara yaitu : cara serial dan cara paralel.

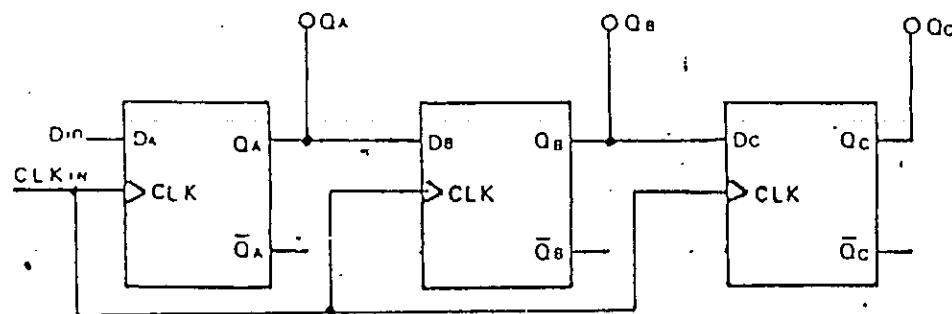
Sehingga berdasarkan operasinya register terbagi 4 mode, yaitu :

1. Serial input paralel output
2. Serial input serial output
3. Paralel input serial output
4. Paralel input paralel output.

2.4.1 Shift Register Serial Input Paralel Output

Shift register ini menerima data input secara seri dan pengeluaran data outputnya secara paralel. Contoh shift register serial input paralel output 3 bit terdiri dari 3 D-FF (D flip-flop) yang disusun secara berjenjang (kaskade), seperti pada gambar 2.8. Digunakan untuk menyimpan data sementara yang masuk secara seri 3 bit, dan output dikeluarkan secara serentak.

Pemasukan data diberikan pada input D-FF A. Misalkan penyimpanan data 3 bit (110), mula-mula $QA = QB = QC = 0$, dapat dimulai dari bit pertama yaitu bit (1) sebagai bit MSB (Most Significant Bit) dan terakhir yaitu bit (0), adalah bit LSB (Less Significant Bit).



Gambar 2.8 Shift register serial-in parallel-out 3 bit
(Anonim,1994)

Proses penyimpanannya dapat diterangkan sebagai berikut :

1. Untuk menyimpan bit (1) di FF A, maka DA diset 1, clock diaktifkan, sehingga $QA = 1, QB = 0, QC = 0$.
2. Untuk menyimpan bit (1) di FF A, maka DA diset 1, clock diaktifkan, sehingga $QA = 1, QB = 1, QC = 0$.
3. Untuk menyimpan bit (0) di FF A, maka DA diset 0, clock diaktifkan , sehingga $QA = 0, QB = 1, QC = 1$.

Dengan memberikan 3 buah sinyal clock secara berurutan, maka data 3 bit (110) dapat disimpan pada shift register.

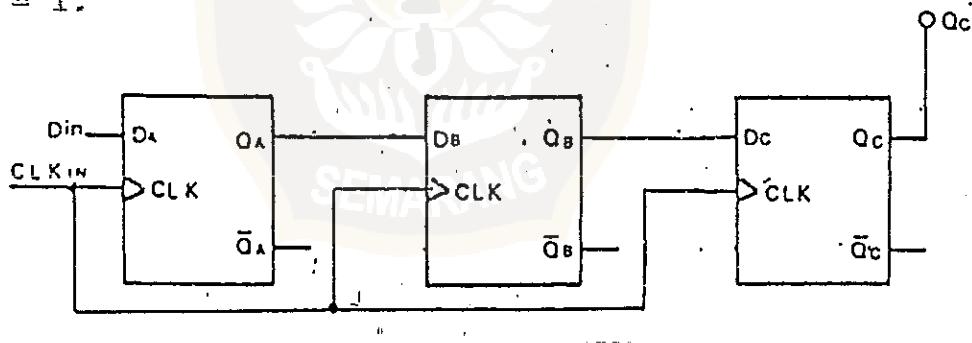
2.4.2 Shift Register Serial Input Serial Output

Pemasukan data pada shift register ini dilakukan secara seri bit demi bit dan pengeluaran outputnya juga

secara seri. Data bit pertama (MSB) yang masuk pada shift register, merupakan data pertama yang keluar pada output shift register.

Misalkan shift register ini digunakan untuk menyimpan data 3 bit (101), dan kemudian mengeluarkannya dan diisi dengan data baru (000). Proses penyimpanannya dapat diterangkan sebagai berikut :

1. Misalkan data mula-mula adalah (000), yaitu $QA = QB = QC = 0$. Untuk memasukkan bit pertama (MSB) yaitu (1), maka DA diset 1 dan clock diaktifkan, sehingga $QA = 1$, $QB = 0$, $QC = 0$.
2. Untuk memasukkan bit kedua yaitu (0), maka DA diset 0 dan clock diaktifkan, sehingga $QA = 0$, $QB = 1$, $QC = 0$.
3. Untuk memasukkan bit ketiga (LSB) yaitu (1), maka DA diset 1 dan clock diaktifkan, sehingga $QA = 1$, $QB = 0$, $QC = 1$.



Gambar 2.9 Shift register serial-in serial-out

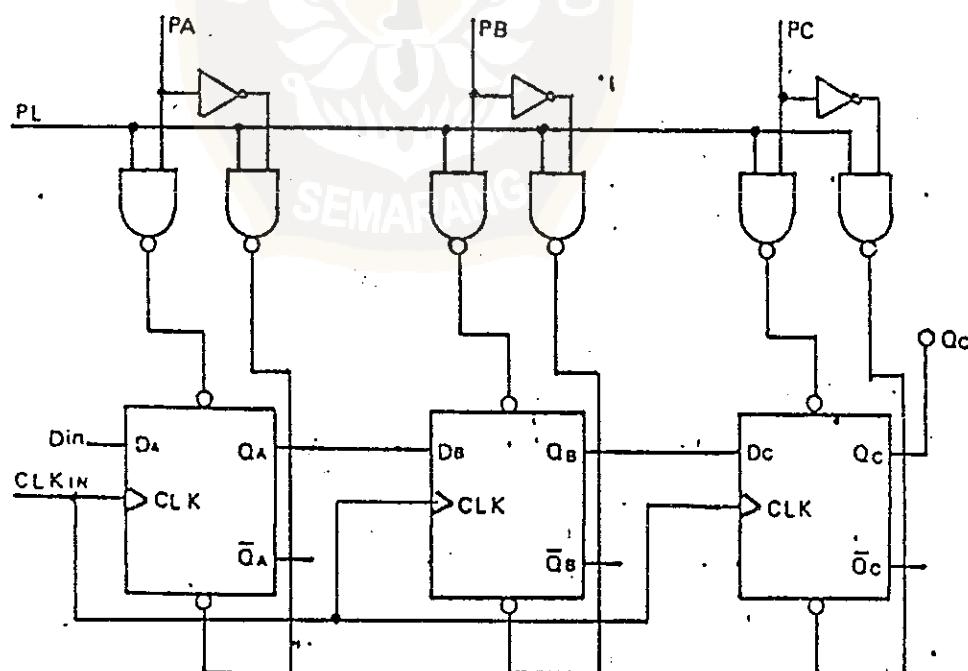
3 bit
(Anonim, 1994)

Setelah diberikan 3 clock yang berturutan, maka data 3 bit telah tersimpan pada shift register. Untuk mengeluarkannya, bit pertama yang keluar pada output

terakhir (Q_C) merupakan data output (MSB). Sebelum clock diberikan, data pertama sudah berada pada output serial. Bila data yang disimpan pada register ingin dikeluarkan dan diganti dengan data baru (000), maka prosesnya sama dengan saat pengisian data, hanya saja sekarang data yang dimasukkan adalah data (000).

2.4.3 Shift Register Parallel Input Serial Output

Pemasukan data pada Shift Register ini dilakukan secara serentak dengan dikendalikan oleh sinyal PL (Parallel Load) aktif tinggi. Bila input PL tinggi maka data set akan masuk pada pin SET FF. Karena set yang digunakan adalah aktif rendah, maka bila data set = 0, maka output FF (Q) = 0, dan bila data set = 1, maka output FF (Q) = 1.



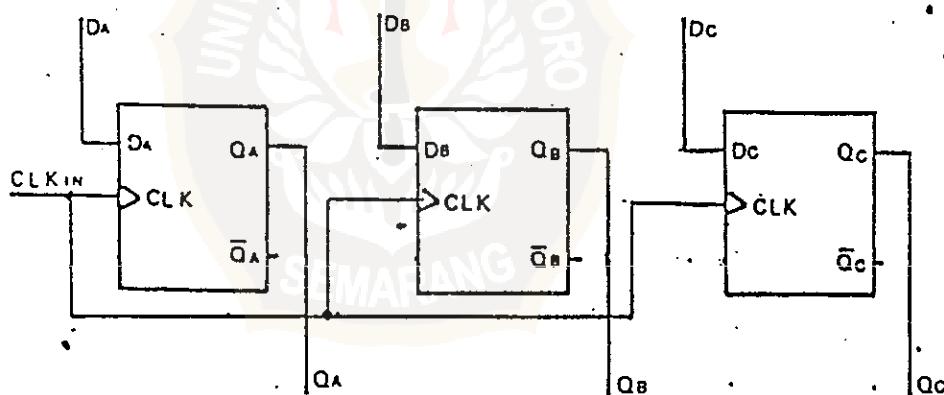
Gambar 2.10 Shift register parallel-in serial-out

3 bit

Pengeluaran data yang tersimpan pada register ini dilakukan secara seri, dengan memberikan pulsa clock sesuai dengan data bit yang ingin dikeluarkan.

Sebagai contoh shift register digunakan untuk menyimpan data 3 bit (001) dan mengeluarkannya secara seri. Sebelum pulsa PL diaktifkan maka diset PA = 0, PB = 0, PC = 1. Setelah data input siap, maka pulsa PL diaktifkan dan selanjutnya QA = 1, QB = 0 dan QC = 0. Untuk mengeluarkan 3 bit data yang tersimpan pada register, maka register diberi 3 clock input sehingga pada output serialnya keluar 3 bit data berurutan yaitu (001). Data yang keluar pertama kali merupakan data MSB.

2.4.4 Shift Register Paralel Input Paralel Output



Gambar 2.11 Shift register paralel-in paralel-out 3 bit
(Anonim, 1994)

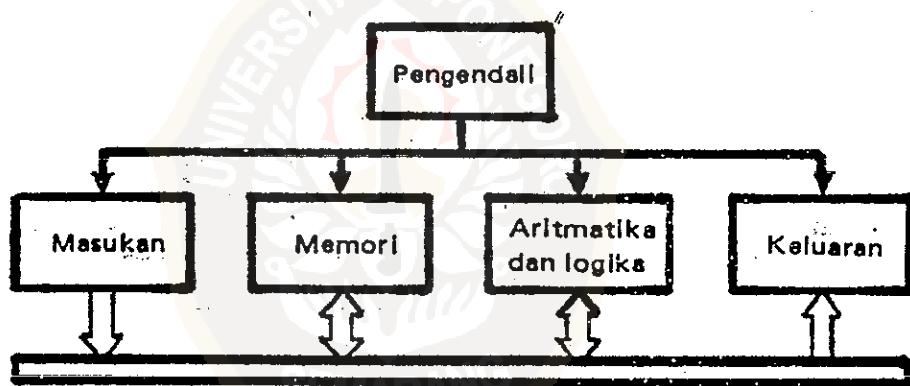
Pemasukan dan pengeluaran data pada register ini dilakukan secara serentak (paralel). Data input dimasukkan secara serentak pada tiap input FF, yaitu DA, DB dan DC. Pengeluaran data dikendalikan oleh clock input.

Pemasukan dan pengeluaran data dilakukan secara cepat, karena tanpa ada penggeseran data yang menyebabkan adanya waktu tunda untuk mengeluarkan data pada outputnya.

2.5 Antarmuka (Interface) pada Komputer

Jika akan menghubungkan sebuah piranti ke komputer pribadi, maka diperlukan suatu rangkaian perantara (interface) yang berfungsi untuk menyesuaikan piranti yang dihubungkan ke komputer.

2.5.1 Organisasi Sebuah Komputer



Gambar 2.12. Bagian-bagian utama dalam sebuah komputer (Malvino Leach,1981)

Secara umum komputer terbagi atas 3 bagian utama :

1. Bagian pelaksanaan instruksi dan proses data , (MPU), bagian ini berupa unit pengendali (CU) dan unit aritmatika dan logika (ALU).
2. Bagian memori yang menyimpan data dan instruksi.
3. Bagian input/output yang menangani komunikasi antara komputer dengan dunia luar.

Pada gambar 2.12. tiap-tiap bagian dari komputer dihubungkan dengan himpunan suatu jalur-jalur yang disebut dengan bus (merupakan sarana pengiriman informasi). Terdapat 3 buah bus, yaitu :

1. Bus data : berfungsi mengirim data antar unit. Untuk sebuah mikroprosesor 8-bit memerlukan bus data 8-bit agar dapat mengirimkan secara paralel 8-bit data. Bus ini berfungsi dua arah.
2. Bus alamat : dipakai untuk memilih asal atau tujuan sinyal yang dikirim pada saluran atau bus lainnya. Bus alamat bersifat satu arah.
3. Bus pengendali : mensinkronkan kegiatan - kegiatan sistem. Bus ini membawa informasi status dan pengendali menuju dan juga dari unit mikroprosesor (MPU), berfungsi dua arah.

Dalam sistem komputer mikro, sebuah informasi dinyatakan dalam bilangan biner. Informasi tersebut bisa berupa data maupun instruksi (operasi yang harus dilaksanakan) serta alamat yang menunjukkan lokasi suatu memori.

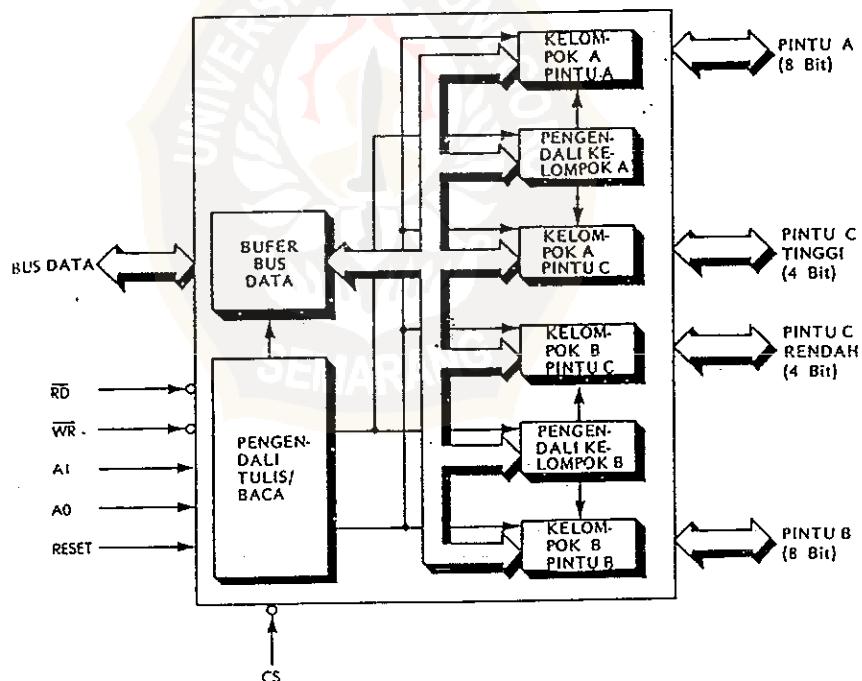
2.5.2 Prasarana Input Output (PPI 8255)

Dalam skripsi ini akan ditinjau lebih jauh mengenai bagian ke 3 dari komputer yaitu bagian input/output, yang merupakan dasar pembahasan mengenai antarmuka (interface) sebagai serpih perantara antara komputer dengan dunia luar.

Pembahasan ditekankan pada perantara paralel atau parallel input output (PIO).

PIO adalah serpih yang masukan atau keluarannya dapat diprogram (programmable input output). Menyediakan perantara masukan keluaran dasar untuk delapan bit data paralel.

Untuk lebih jelasnya diuraikan mengenai salah satu jenis PIO yang digunakan yaitu Intel 8255 PPI (Programmable Peripheral Interface), yaitu piranti antarmuka yang fungsinya dapat diprogram. Struktur di dalam PPI 8255 seperti diperlihatkan pada gambar 2.14.



Gambar 2.14 Struktur di dalam PPI
8255 (Endra Pitovarno, 1990)

PPI 8255 terdiri dari 4 bagian utama, yaitu :

1. Penyangga (Buffer) Bus Data

Penyangga ini digunakan untuk menaikkan taraf data yang melewati bus data. Penyangga ini bersifat 2 arah 3 keadaan, maksudnya PPI 8255 dapat mengirim atau menerima data dari CPU. Informasi yang dilewatkan oleh penyangga bus data diantaranya informasi status dan kata perintah (command word). Penyangga bus data ini menghubungkan bus data eksternal dengan bus data internal.

2. Logika Kendali Baca/Tulis

Logika kendali baca/tulis (Read/Write Control Logic) digunakan untuk mengatur semua kegiatan pemindahan data baik eksternal maupun internal. Eksternal maksudnya perpindahan data dari dan ke perangkat di luar serpih, sedangkan internal artinya perpindahan data antar blok di dalam serpih. Sinyal-sinyal kendali diperoleh lewat masukan-masukan A0, A1, Reset dan Cs.

3. Pengendali Kelompok A dan Kelompok B

Kedua pengendali ini digunakan untuk mengendalikan operasi semua pintu. Pengendali pintu A mengendalikan pintu-pintu yang termasuk kelompok A (yaitu pintu A dan pintu C_(high)) sedangkan pengendali kelompok B mengendalikan pintu-pintu yang termasuk kelompok B (yaitu pintu B dan pintu C_(low)).

Pengendali kelompok A dan kelompok B menerima sinyal kendali dari logika kendali baca/tulis dan menerima kata perintah dari penyangga bus data lewat bus data internal 8 bit.

4. Pintu Pintu PA, PB dan PC

PPI 8255 mempunyai 3 buah pintu yaitu pintu A (PA), pintu B (PB) dan pintu C (PC) masing-masing berkapasitas 8 bit. Pintu A dapat dioperasikan sebagai masukan dan keluaran atau bus data 2 arah. Masukan pintu A mempunyai penyangga data sementara keluarannya mempunyai penyangga data dan penahan data.

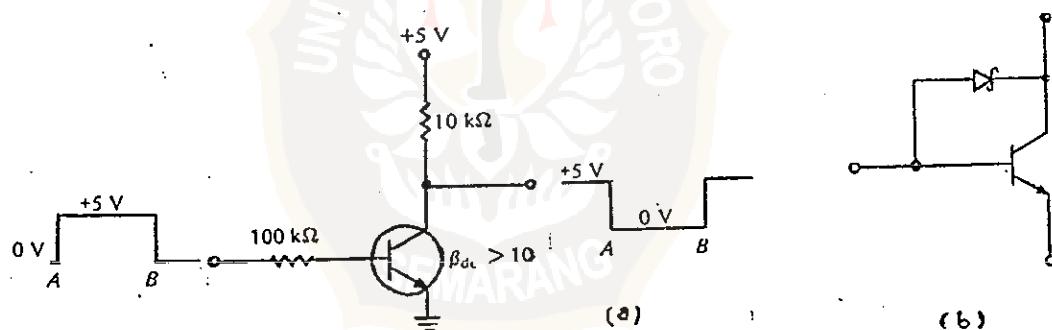
Pintu B mempunyai spesifikasi sama dengan pintu A. Sedangkan pintu C terbagi menjadi 2 yaitu pintu C_(high) dan pintu C_(low) masing-masing berkapasitas 4 bit. Pintu-pintu 4 bit ini dapat dioperasikan secara terpisah sebagai masukan, keluaran ataupun sebagai bus pengendali. Masukan pintu C mempunyai penyangga, sedang keluarannya mempunyai penyangga data dan penahan data.

2.6 Rangkaian Transistor Transistor Logic (TTL)

Merupakan rangkaian terpadu bipolar dengan memakai transistor-transistor untuk melaksanakan fungsi logikanya. Transistor-transistor bekerja antara keadaan pancung dan jenuh. Sehingga TTL standard menerapkan prinsip logika jenuh.

Kelemahan TTL standard yang menggunakan transistor-transistor jenuh adalah adanya waktu tunda jenuh yang akan memperlambat waktu switching suatu rangkaian logika, karenanya TTL standard tidak cukup baik untuk penerapan-penerapan tertentu yang membutuhkan waktu switching cukup tinggi.

Perkembangan selanjutnya yaitu dengan dipakainya dioda Schottky yang dipadukan dengan transistor bipolar. Karena dioda Schottky mempunyai tegangan maju sebesar 0,4 Volt maka dioda ini akan mencegah transistor untuk tidak jenuh sepenuhnya. Dengan demikian TTL Schottky merupakan logika tak jenuh yang dipergunakan untuk penerapan-penerapan kecepatan tinggi.

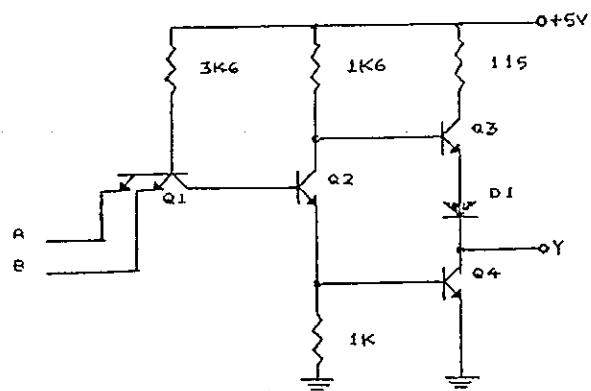


Gambar 2.15 (a) Rangkaian logika jenuh (b) Transistor TTL
(Malvino Leach, 1981)

Sebagai gambaran seri 7400 merupakan sejumlah rangkaian TTL yang diperkenalkan pada tahun 1964 dan telah menjadi kelompok IC yang paling banyak digunakan (Malvino Leach, 1981).

Operasi

Gambar 2.16. memperlihatkan gerbang NAND TTL 2 input. Terlihat adanya transistor berganda (Q1) dan transistor keluaran totem-pole (Q3 dan Q4).



Gambar 2.16 Gerbang NAND TTL dasar
2 input (Malvino Leach, 1981)

Tegangan masukan (A dan B) adalah rendah (secara ideal diketanahkan) atau tinggi (+5 Volt). Jika salah satu A atau B adalah rendah, Q1 akan jenuh. Hal ini memancung (mematikan) Q2 dan Q4. Maka Q3 berlaku sebagai pengikut emiter (*emitter follower*) dan menghubungkan suatu tegangan tinggi ke keluaran. Itulah sebabnya ketiga entry pertama pada tabel 2.3. memperlihatkan keluaran yang tinggi.

Bila A dan B keduanya tinggi, tegangan kolektor Q1 naik, menghidupkan Q2 yang selanjutnya menjenuhkan Q4. Karena Q4 jenuh tegangan keluaran menjadi rendah. Hal ini menjelaskan entry keluaran keempat pada tabel 2.3.

INPUT A	INPUT B	OUTPUT Y
rendah	rendah	tinggi
rendah	tinggi	tinggi
tinggi	rendah	tinggi
tinggi	tinggi	rendah

Tabel 2.3 Tabel kebenaran gerbang NAND 2 masukan

Sementara itu dioda D1, mencegah Q3 supaya tidak hidup pada saat Q4 jenuh. Sebabnya adalah sebagai berikut: V_{BE} pada Q4 adalah sekitar 0,7 Volt dan V_{CE} pada Q2 sekitar 0,1 volt. Ini berarti supaya total sebesar 0,8 Volt diterapkan pada basis Q3. Tanpa D1 di dalam rangkaian, tegangan 0,8 Volt ini cukup untuk menghidupkan Q3. Namun terdapat D1 dalam rangkaian dan meningkatkan total V_{BE}. Tegangan penyalaan Q3 menjadi sekitar 1,4 Volt jauh diatas 0,8 Volt yang diterapkan pada basis Q3. Itulah sebabnya Q3 terpancing pada saat Q4 jenuh.

Pada gambar 2.16 masukan yang rendah secara ideal mengetahui emiter, memungkinkan arus mengalir melalui tahanan basis 3,6 kilo Ohm dan melalui emiter ke tanah. Sedangkan untuk masukan yang tinggi akan mencegah mengalirnya arus emiter. Jadi jika membiarkan sebuah emiter mengambang, arus emiter tak akan mengalir. Dengan demikian masukan yang mengambang ekivalen dengan masukan tinggi pada rangkaian TTL.

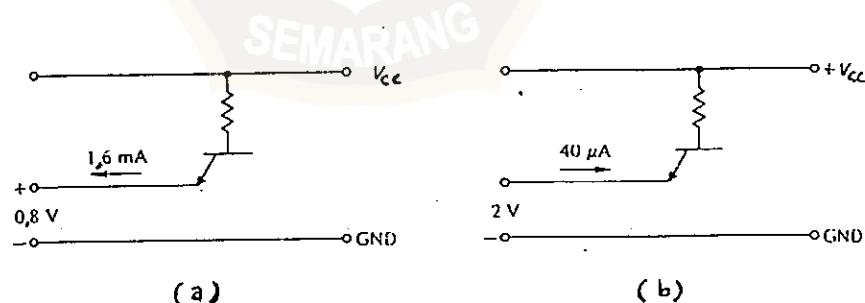
Impedansi Keluaran yang Rendah

Impedansi keluaran yang rendah akan mencegah pembebangan yang berlebihan pada saat rangkaian-rangkaian TTL lain dihubungkan ke keluarannya. Karenanya dipakai transistor keluaran totem pole.

Impedansi keluaran yang rendah juga membantu kecepatan switching. Sebagaimana diketahui bahwa tegangan keluaran tak dapat berubah sampai semua kapasitansi bocor dan beban pada keluaran telah dimuat atau dikosongkan.

Tegangan dan Arus Masukan

Pada seri 7400, setiap tegangan masukan antara 0 dan 0,8 Volt dianggap sebagai masukan rendah karena akan menjenuhkan transistor masukan. Tegangan masukan rendah atau V_{IL} dengan subskrip yang berarti input low. Nilai keadaan terburuk $V_{IL} = 0,8$ Volt dan arus yang berkaitan $I_{IL} = 1,6$ mA. Gambar 2.17.a menggambarkan V_{IL} dan I_{IL} .



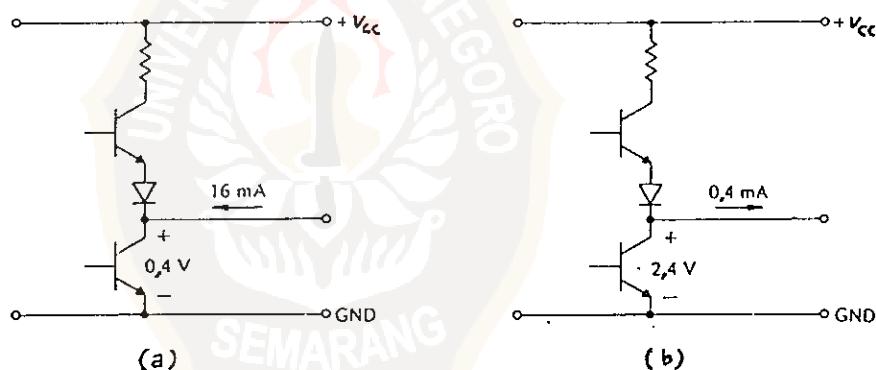
Gambar 2.17 (a) V_{IL} dan I_{IL} (b) V_{IH} dan I_{IH}

(Malvino Leach, 1981)

Setiap tegangan masukan antara 2 sampai 5 Volt dianggap sebagai masukan tinggi karena dapat mendorong keluaran untuk berubah keadaan. Nilai keadaan terburuk $V_{IH} = 2$ Volt dan arus yang bersangkutan $I_{IH} = 40$ mikro Ampere, ini merupakan arus balik melalui emiter. Gambar 2.17.b.

Tegangan dan Arus Keluaran

Tegangan keluaran bisa bernilai 0 sampai 0,4 Volt. Nilai keadaan terburuknya $V_{OL} = 0,4$ Volt dan $I_{OL} = 16$ mili Ampere. Pada saat keluaran rendah transistor totem pole bagian bawah adalah jenuh. Transistor mengalirkan arus maksimum ke tanah. Gambar 2.18.a.



Gambar 2.18 (a) V_{OL} dan I_{OL} (b) V_{OH} dan I_{OH} (Malvino Leach, 1981)

Pada keadaan tinggi, keluaran dapat bernilai 2,4 sampai 5 Volt. Dengan kata lain tegangan 2,4 Volt dianggap sebagai keluaran tinggi karena cukup untuk menggerakkan rangkaian-rangkaian TTL lain. Keadaan terburuk untuk $V_{OH} =$

2,4 Volt. Pada keadaan tinggi, transistor totem pole bagian atas berlaku sebagai pengikut emiter dan dapat mengeluarkan sampai 0,4 mA. Keadaan terburuk $I_{OH} = 0,4$ mA. Gambar 2.18.b memperlihatkan pengikut emiter mengeluarkan arus maksimum tersebut.

Tabel 2.4 merupakan ringkasan semua tegangan keadaan terburuk dan arus maksimum pada piranti 7400 pada batas-batas suhu sebesar 0 sampai 70°C .

Tegangan	Nilai	Arus	Nilai
V_{IL}	0,8 V	I_{IL}	1,6 mA
V_{IH}	2 V	I_{IH}	40 A
V_{OL}	0,4 V	I_{OL}	16 mA
V_{OH}	2,4 V	I_{OH}	0,4 mA

Tabel 2.4 Tabel seri 7400

Fan-out

Fan-out (disebut juga faktor pembebanan) yaitu : banyaknya beban TTL yang dapat digerakkan oleh sebuah piranti TTL secara berkeandalan. Seri 7400 mempunyai fan-out sebesar 10, berarti dapat menghubungkan keluaran sebuah rangkaian TTL ke 10 emiter TTL lainnya. Jika melampaui jumlah ini, nilai keadaan terburuk pada lembaran data tidak lagi dijamin.

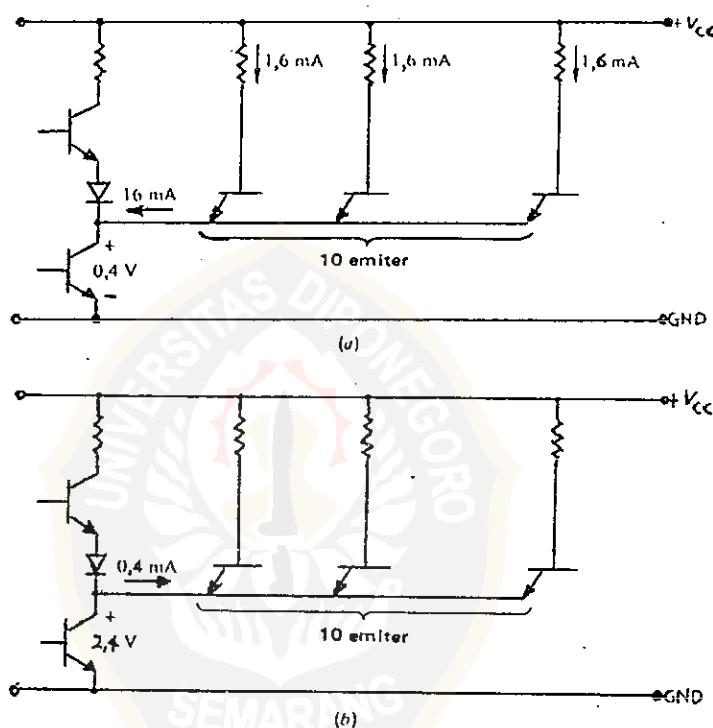
- pada keadaan rendah :

$$\text{fan-out} = \frac{I_{OL}}{I_{IL}} \dots \quad (1-1)$$

- pada keadaan tinggi :

$$\text{fan-out} = \frac{I_{OH}}{I_{IH}} \dots \quad (1-2)$$

Gambar 2.19 (a) meperlihatkan cara memvisualisasikan fan-out keadaan rendah. Keluaran totem pole pada piranti TTL dihubungkan ke 10 buah emiter TTL lain. Pada keadaan terburuknya masing-masing TTL ini mempunyai 1,6 mA, oleh karenanya transistor totem pole bagian bawah mengalirkan total sebesar 16 mA ke tanah. Jika melebihi 10 buah emiter, tegangan jenuh bisa melampaui 0,4 Volt.



Gambar 2.19 (a) Fan-out keadaan rendah (b) Fan-out keadaan tinggi
(Malvino Leach, 1981)

Gambar 2.19 (b) memperlihatkan fan-out keadaan tinggi. Pada keadaan terburuknya, masing-masing emiter mempunyai arus balik sebesar 40 mikro Ampere, oleh

karenanya transistor totem pole bagian atas mengeluarkan total arus sebesar 0,4 mA. Jika melebihi 10 emiter, tegangan keluaran dapat lebih kecil dari 2,4 Volt (tegangan keadaan tinggi jaminan pada sebuah TTL).

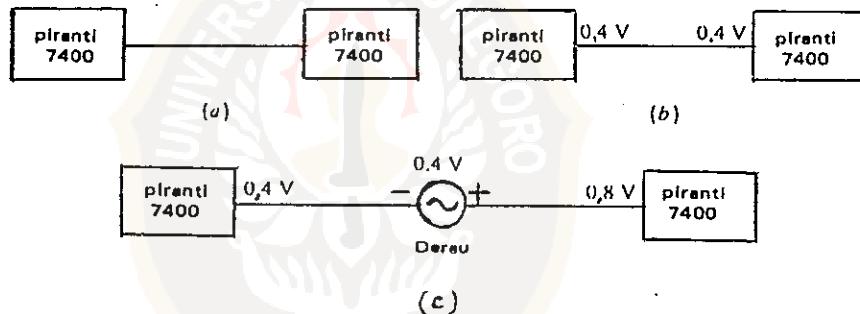
Waktu Tunda Rambatan

Waktu tunda rambatan tp adalah panjang waktu berselang antara perubahan pada keadaan masukan dan perubahan yang diakibatkannya pada keadaan keluaran. Misal jika waktu tunda 10 ns, maka dibutuhkan 10 ns bagi keluaran untuk berubah keadaan setelah masukan berubah keadaan. Jika beberapa TTL digandengkan, maka waktu tunda rambatan totalnya sama dengan jumlah masing-masing waktu tunda rambatan.

Kekebalan Derau

Kekebalan derau didefinisikan sebagai tegangan derau terimbasi maksimum hingga piranti TTL masih dapat bertahan tanpa terjadi perubahan yang salah pada keadaan keluarannya. Sebagai contoh pada gambar 2.20.(a) piranti TTL yang menggerakkan TTL lain. Pada keadaan rendah keluaran maksimum adalah 0,4 Volt seperti pada gambar 2.20.(b). Jika tak ada tegangan derau terimbasi pada saluran penghubung, tegangan masukan ke piranti kedua adalah 0,4 Volt.

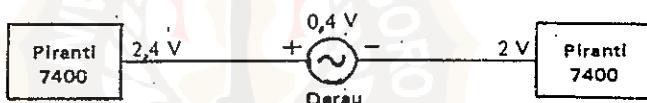
Dalam lingkungan yang penuh dengan derau, medan listrik dan magnet liar dapat menginduksikan tegangan derau yang tak diinginkan pada saluran penghubung antara ke dua piranti TTL. Oleh karenanya dapat diperoleh tegangan derau terimbas sebesar 0,4 Volt dengan polaritas seperti pada gambar 2.20.(c). Dalam hal ini derau meningkatkan tegangan masukan bagi piranti TTL ke dua menjadi 0,8 Volt. Pada tabel VI_L harus lebih kecil dari 0,8 V untuk memenuhi sebagai persyaratan sebagai tegangan masukan keadaan rendah. Oleh karenanya piranti TTL kedua berada pada ambang perubahan keadaan keluaran yang salah.



Gambar 2.20 Derau menghasilkan pemicuan yang salah pada keadaan rendah
(Malvino Leach, 1981)

Jika tegangan derau adalah lebih besar dari 0,4 V piranti TTL kedua akan mengalami perubahan yang salah pada tegangan keluarannya di bawah kondisi keadaan terburuknya.

Kemungkinan yang lain, adalah pemicuan yang salah pada keadaan tinggi seperti pada gambar 2.21. Pada keadaan tinggi tegangan keluaran minimum TTL pertama adalah 2,4 Volt. Jika derau sebesar 0,4 Volt terimbas pada saluran penghubung dengan polaritas seperti pada gambar, maka tegangan masukan pada TTL kedua adalah 2 Volt. Pada tabel V_{IH} harus lebih besar dari 2 Volt untuk memenuhi persyaratan sebagai masukan keadaan tinggi. Dengan alasan ini TTL kedua berada pada ambang perubahan keadaan keluaran yang salah. Jika tegangan derau lebih besar dari 0,4 Volt TTL kedua akan secara salah terpicu ke keadaan kebalikannya di bawah kondisi keadaan terburuknya.



Gambar 2.21 Derau menghasilkan pemicuan yang salah pada keadaan tinggi
(Malvino Leach, 1981)

Dengan demikian, pada kedua keadaan, kekebalan derau setiap piranti 7400 adalah 0,4 Volt dalam keadaaan terburuknya. Berarti pembuatnya menjamin bahwa gandengan piranti-piranti 7400 mampu bertahan terhadap derau terimbas maksimum sebesar 0,4 Volt tanpa perubahan yang salah pada keadaan keluarannya.