

LEMBAR PENGESAHAN

Judul Skripsi : Pembuatan Alat Penguji IC TTL

Nama : Kurniawan Budi Utomo

N I M : J 401 90 0481

Telah diujikan pada ujian sarjana tanggal 19 Nopember 1996
dan dinyatakan lulus.

Semarang, Desember 1996



Penguji

S. Dahlan

NIP : 130 219 407

Jurusan Fisika

Ketua,

Drs. M. Dahlan

NIP : 130 219 407

LEMBAR PERSETUJUAN

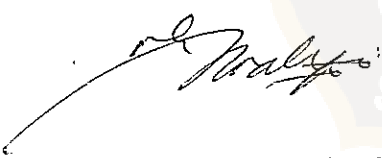
Judul Skripsi : Pembuatan Alat Penguji IC TTL
N a m a : Kurniawan Budi Utomo
N I M : J.401.90.0481

Dinyatakan lulus pada ujian sarjana yang diselenggarakan
pada tanggal 19 Nopember 1996.

Semarang, Desember 1996

Pembimbing I :

Pembimbing II :



Drs. Wahyu Setiabudi,MS
NIP : 131 459 438



Ir. Ainie Khuriati,DEA
NIP : 131 672 944

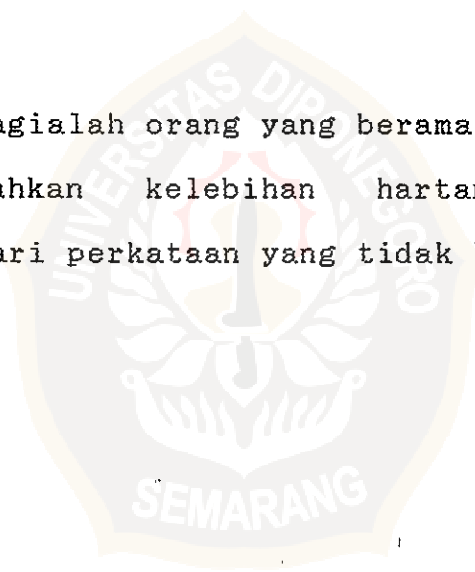
MOTTO

- Dan Dia menundukkan malam dan siang, matahari dan bulan untukmu. Dan bintang-bintang itu ditundukkan dengan perintah - Nya. Sesungguhnya pada yang demikian itu benar - benar ada tanda - tanda (kekuasaan Allah) bagi kaum yang memahami (memikirkan).

(Al- Qur'an)

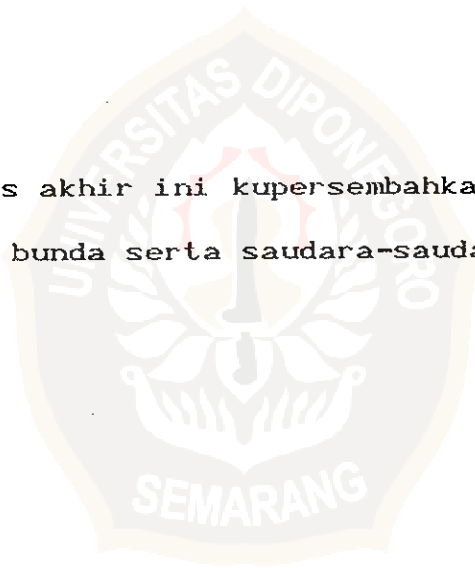
- Berbahagialah orang yang beramal dengan ilmunya dan menafkahkan kelebihan hartanya, dan menahan diri dari perkataan yang tidak berguna.

(Al- hadits)



HALAMAN PERSEMBAHAN

Tugas akhir ini kupersembahkan untuk :
Ayah dan bunda serta saudara-saudaraku tercinta



KATA PENGANTAR

Alhamdulillah, dengan pertolongan Allah swt penulis dapat menyelesaikan tugas akhir dengan judul Pembuatan Alat Penguji IC TTL. Tugas akhir ini disusun untuk memenuhi salah satu syarat meraih gelar sarjana S-1 pada jurusan Fisika Fakultas Matematika dan Ilmu Pengetahuan Alam Universitas Diponegoro.

Terselesainya tugas akhir ini tidak lepas dari bantuan berbagai pihak. Untuk itu penulis mengucapkan banyak terimakasih kepada :

1. Bapak Drs.Wahyu Setiabudi,MS, selaku pembimbing I yang banyak membantu demi terselesainya tugas akhir ini.
2. Ibu Ir.Ainie Khuriati,DEA, selaku pembimbing II yang telah banyak membantu dari awal pengerjaan tugas akhir ini hingga selesai.
3. Saudara Agung Budi Prasetyo, Tri Setyanto, Erieki Y.Antoni dan Fatkhul Arifin sebagai sahabat dekat yang telah banyak memberikan bantuan selama proses pengerjaan tugas akhir.
4. Semua rekan Fisika angkatan '90 yang telah banyak memberi dorongan semangat kepada penulis sehingga dapat menyelesaikan tugas akhir ini.

Serta banyak pihak yang tidak mungkin penulis sebutkan satu persatu. Atas kerjasama dan bantuannya, penulis sampaikan banyak terimakasih. Semoga amal baiknya diterima Allah swt.

Ibarat pepatah tiada gading yang tak retak, akhirnya penulis mengharapkan kritik, saran dan upaya penelitian lebih lanjut dari berbagai pihak demi kesempurnaan tugas akhir ini. Semoga tulisan ini bermanfaat.

Semarang, September 1996

Penulis



DAFTAR ISI

Halaman Judul.....	i
Halaman Pengesahan.....	ii
Halaman Persetujuan.....	iii
Motto.....	iv
Halaman Persembahan.....	v
Kata Pengantar.....	vi
Daftar Isi.....	viii
Daftar Tabel.....	xi
Daftar Gambar.....	xii
Intisari.....	xiv
Abstrak.....	xv
BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Tujuan Penelitian	2
1.3 Pembatasan Masalah	2
1.4 Sistematika Penulisan	3
BAB II LANDASAN TEORI	5
2.1 Rangkaian Terpadu Digital	5
2.2 Gerbang-gerbang Dasar Sistem Digital	8
2.3 Flip Flop	12
2.4 Register	16
2.5 Antarmuka pada Komputer	21
2.6 Rangkaian Transistor Transistor Logic	25

BAB III	TINJAUAN PERANCANGAN ALAT	36
3.1	Diagram Blok	36
3.2	Prinsip Kerja	37
BAB IV	PERANCANGAN PERANGKAT KERAS	38
4.1	Antarmuka	38
4.1.1	Chip 8255	38
4.1.2	Dekoder Alamat	43
4.2	Rangkaian Penguji	47
BAB V	PERANGKAT LUNAK	57
5.1	Proses Mengeluarkan Data ke Rangkaian Penguji	57
5.2	Proses Menerima Data dari Rangkaian Penguji	59
5.3	Pembandingan Data	61
5.4	Pemberian Keputusan	64
5.5	Pengujian Secara Otomatis	64
5.6	Pengujian Secara Manual	64
BAB VI	HASIL PENGUJIAN DAN ANALISA	67
6.1	Pengujian Rangkaian Antarmuka	67
6.2	Pengujian Rangkaian Penguji IC TTL	68
6.2.1	Pengujian Secara Otomatis	68
6.2.2	Pengujian Secara Manual	72
6.2.3	Hasil Perangkat Lunak	72
6.3	Analisa	73

BAB VII KESIMPULAN DAN SARAN	79
7.1 Kesimpulan	79
7.2 Saran	79
DAFTAR PUSTAKA	81
LAMPIRAN	82



DAFTAR TABEL

	Halaman
Tabel 2.1 Tabel kebenaran gerbang logika	10
Tabel 2.2 Tabel kebenaran buffer	12
Tabel 2.3 Tabel kebenaran gerbang NAND 2 masukan	28
Tabel 2.4 Tabel seri IC 7400	31
Tabel 4.1 Tabel fungsi A1 dan A0 pada chip 8255	41
Tabel 4.2 Tabel pemrograman mode 0 chip 8255	44
Tabel 4.3 Tabel data A0..A9 untuk masukan dekoder	45
Tabel 4.4 Tabel alamat dari antarmuka	47
Tabel 4.5 Tabel bit data yang bersesuaian dengan pin IC	54
Tabel 5.1 Tabel bit pada port C untuk mengatur penyangga keluaran	61

DAFTAR GAMBAR

	Halaman	
Gambar 2.1	Penjelasan definisi sistem logika	6
Gambar 2.2	Simbol gerbang logika	10
Gambar 2.3	Simbol buffer	11
Gambar 2.4	Rangkaian gerbang utama dari flip-flop	13
Gambar 2.5	Rangkaian D-flip-flop	14
Gambar 2.6	Simbol D-flip-flop	15
Gambar 2.7	Diagram waktu dari D-flip-flop	15
Gambar 2.8	Shift register SIPO 3 bit	17
Gambar 2.9	Shift register SISO 3 bit	18
Gambar 2.10	Shift register PISO 3 bit	19
Gambar 2.11	Shift register PIPO 3 bit	20
Gambar 2.12	Bagian-bagian utama sebuah komputer	21
Gambar 2.14	Struktur di dalam PPI 8255	23
Gambar 2.15	Rangkaian logika jenuh dan transistor TTL Schottky	26
Gambar 2.16	Gerbang NAND TTL dasar 2 input	27
Gambar 2.17	Keterangan VIL dan IIL serta VIH dan IIH	29
Gambar 2.18	Keterangan VOL dan IOL serta VOH dan IOH	30
Gambar 2.19	Fan-out	32
Gambar 2.20	Derau pada keadaan rendah	34
Gambar 2.21	Derau pada keadaan tinggi	35
Gambar 3.1	Diagram blok hubungan komputer, antarmuka, rangkain penguji dan program	36

Gambar 4.1	Slot pada motherboard komputer	39
Gambar 4.2	Chip 8255	40
Gambar 4.3	Pengaturan pada port kontrol chip 8255	43
Gambar 4.4	Diagram blok comparator IC 74LS688	45
Gambar 4.5	Rangkaian dekoder alamat	46
Gambar 4.6	Diagram blok rangkaian penguji	50
Gambar 4.7	Register data 16 bit	51
Gambar 4.8	Register kontrol 16 bit dan penyangga masukan	52
Gambar 4.9	Penyangga keluaran 16 bit	54
Gambar 4.10	Saklar penghubung tegangan 5 Volt	54
Gambar 4.11	Fungsi masing-masing bit pada port C yang dipakai untuk mengontrol rangkaian penguji	55
Gambar 5.1	Diagram alir proses mengeluarkan data ke rangkaian penguji	58
Gambar 5.2	Posisi sinyal clock pada port C	59
Gambar 5.3	Diagram alir proses menerima data dari rangkaian penguji	60
Gambar 5.4	Diagram alir proses menentukan pin yang salah	63
Gambar 5.5	Diagram alir proses pengujian IC secara otomatis	65
Gambar 5.6	Diagram alir proses pengujian IC secara manual	66
Gambar 6.3	Struktur menu program penguji IC TTL	73
Gambar 6.4	Blok diagram pengetesan IC TTL	74