

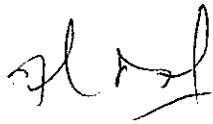
Halaman Pengesahan

J u d u l : Perancangan Pencacah Frekuensi  
Digital 6 Bit  
N a m a : Samsul Bachri  
N I M : J 401890327  
Tanggal lulus ujian : 21 September 1994

Semarang, Desember 1994

Panitia Ujian

K e t u a



Drs. M Dahlan

NIP : 130219407

Jurusan Fisika

K e t u a



Drs. M Dahlan

NIP : 130219407

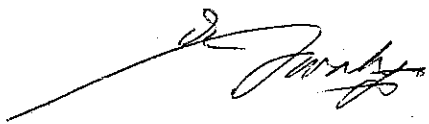
J u d u l : Perancangan Pencacah Frekuensi  
Digital 6 Bit

N a m a : Samsul Eachri

N I M : J 401890327

Telah dinyatakan lulus ujian sarjana pada tanggal  
: 21 September 1994

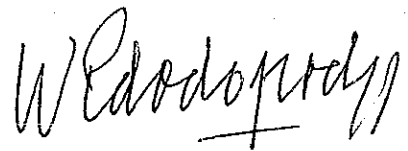
Pembimbing Utama



Drs. Wahyu Setia Budi Ms

NIP : 131459438

Pembimbing Anggota



Drs. Catur Edi Widodo

NIP : 132000005

## K A T A P E N G A N T A R

Puji dan syukur penulis panjatkan kehadirat Tuhan yang maha Esa sehingga penulis dapat menyelesaikan Tugas Akhir berjudul " Perancangan pencacah frekuensi digital 6 bit .

Tugas akhir ini disusun untuk melengkapi syarat kelulusan sarjana Fakultas MIPA Jurusan fisika Universitas Diponegoro Semarang.

Keberhasilan penyusunan tugas Akhir ini adalah atas bimbingan dan peran serta berbagai pihak , untuk itu pada kesempatan ini penulis ingin menyampaikan ucapan terima kasih yang sebesar-besarnya kepada :

1. Bapak Prof. Dr. Muladi ,SH, selaku rektor Universitas Diponegoro Semarang.
2. Bapak Drs . Koen Praseno , SU , selaku Dekan Fakultas MIPA Universitas Diponegoro Semarang.
3. Bapak Drs.M.Dahlan selaku ketua jurusan Fisika Universitas Diponegoro Semarang.
4. Bapak Drs . Wahyu Setia Budi,MS ,selaku dosen pembimbing utama .
5. Bapak Drs .Catur Edi Widodo selaku pembimbing II.
6. Bapak Ir.M,Munir ,selaku dosen wali.
7. Bapak/Ibu dosen jurusan Fisika Universitas Diponegoro Semarang yang telah membekali ilmu dan memberikan bantuan dalam menyelesaikan Tugas Akhir ini.
8. Ayah ,Ibu,kakak dan adik-adikku serta teman-temanku

yang telah memberikan dukungan moril maupun materiil.

9. Semua pihak yang telah membantu yang tidak bisa penulis sebutkan satu-persatu.

Dengan segala kerendahan hati, penulis menyadari bahwa penyusunan Tugas Akhir ini masih jauh dari sempurna. Karena itu penulis mengharapkan kritik dan saran membangun guna penyempurnaan penulisan selanjutnya.

Akhir kata penulis berharap agar Tugas Akhir ini dapat bermanfaat bagi yang membutuhkan.

Semarang, September 1994

Samsul Bachri

# DAFTAR ISI

	halaman
Halaman judul.....	i
halaman pengesahan .....	ii
Kata pengantar.....	iv
Abstrak.....	vi
Abstract.....	vii
Daftar isi.....	viii
Daftar gambar .....	x
Daftar Tabel .....	xii
Bab I Pendahuluan .....	1
1.1 Latar belakang.....	1
1.2 Tujuan penelitian.....	3
1.3 Pembatasan makalah .....	3
1.4 Sistematika penulisan.....	3
Bab II Tinjauan Pustaka	
2.1 Pencacah.....	5
2.1.1 Pencacah sinkron .....	6
2.1.2 Pencacah biner sinkron modulo 8 ...	7
2.1.3 Pencacah biner sinkron modulo 6...11	
2.1.4 Pencacah BCD sinkron .....	14
2.1.5 Pencacah tak sinkron .....	15
2.1.6 Pencacah tak sinkron modulo 8.....	16
2.1.7 Pencacah tak sinkron modulo 6.....	19
2.1.8 Pencacah BCD tak sinkron.....	21

2.2 Register.....	24
2.2.1 Paralel input paralel output shift register.....	26
2.2.2 Paralel input serial output shift register.....	27
2.2.3 Serial input paralel output shift register.....	29
2.2.4 Serial input serial output shift register .....	29
2.3 Dekoder .....	31
Bab III Perancangan.....	34
3.1 Blok diagram.....	34
3.2 Rangkaian .....	37
3.2.1 Time base.....	37
3.2.2 Controller.....	38
3.2.3 Pencacah BCD .....	40
3.2.4 Display .....	41
Bab IV Pengujian dan Analisa .....	43
4.1 Pengujian rangkaian .....	43
4.1.1 Time base dan pembagi.....	43
4.1.2 Controller.....	44
4.2 Pengujian sistem .....	44
4.2.1 Jangkauan Hz .....	46
4.2.2 Jangkauan MHz .....	50
4.3 Analisa .....	52
Bab V Kesimpulan.....	55
DAFTAR PUSTAKA .....	57

## D A F T A R G A M B A R

	halaman
Gambar 2.1	Pencacah biner sinkron modulo 8 .....11
Gambar 2.2	Pencacah biner sinkron modulo 6 .....13
Gambar 2.3	Pencacah BCD sinkron .....15
Gambar 2.4	Pencacah tak sinkron modulo 8 .....17
Gambar 2.5	Pencacah tak sinkron modulo 6 .....21
Gambar 2.6	Pencacah BCD tak sinkron .....23
Gambar 2.7	DEF dengan preset dan clear .....26
Gambar 2.8	Register 4 bit paralel input paralel out put .....27
Gambar 2.9	Register 4 bit paralel input serial output .....28
Gambar 2.10	Register 4 bit serial input paralel output .....30
Gambar 2.11	Dekoder BCD to desimal .....33
Gambar 3.1	Diagram dasar pencacah frekuensi .....34
Gambar 3.2	Diagram blok pencacah frekuensi .....36
Gambar 2.3	Rangkaian timebase dan pembagi .....37
Gambar 2.4	Rangkaian controller .....39
Gambar 2.5	Rangkaian pencacah .....41
Gambar 2.6	Rangkaian display .....42

Gambar 3.1	Diagram waktu controller untuk jangkauan Hz .....	44
Gambar 3.2	Diagram waktu controller untuk jangkauan MHz.....	45



D A F T A R T A B E L

	halaman
tabel 2.1 Tabel kebenaran JKFF.....	6
Tabel 2.2 Tabel transisi JKFF.....	7
Tabel 2.3 Pencacahan pencacah biner sinkron modulo 8 .....	8
Tabel 2.4 Kebenaran J dan K sebagai fungsi dari Qa,Qb dan Qc pencacah biner sinkron modulo 8 .....	9
Tabel 2.5 Pencacahan pencacah biner sinkron modulo 6.....	11
Tabel 2.6 Kebenaran J dan K sebagai fungsi dari Qa, Qb,Qc pencacah biner sinkron modulo 6....	12
Tabel 2.7 Tabel pencacahan pencacah BCD Sinkron ..	14
Tabel 2.8 Tabel pencacahan pencacah biner tak sinkron modulo 8 .....	18
Tabel 2.9 Tabel kebenaran J dan K sebagai fungsi dari Qa,Qb dan Qc pencacah biner tak sinkron modulo 8.....	19
Tabel 2.10 Tabel pencacahan pencacah biner tak sinkron modulo 6.....	19
Tabel 2.11 Tabel kebenaran J dan K sebagai fungsi dari Qa,Qb dan Qc pencacah biner tak sinkron modulo 6.....	21

Tabel 2.12 Tabel kebenaran J dan K sebagai fungsi dari $Q_a, Q_b, Q_c$ dan $Q_d$ pencacah BCD tak sinkron .....	23
Tabel 2.13 Tabel kebenaran DFF.....	25
Tabel 2.14 Tabel representasi bilangan desimal 64....	32