

IC CMOS
4020

RENDAH sementara pencacah berada dalam status 5, 6, 7, 8 dan 9.

TINGGI pada jalanmasuk *Reset* (R) mereset pencacah pada nol ($Q_0 = \overline{\text{Carry Out}} = \text{TINGGI}$, $Q_1 \dots Q_n = \text{RENDAH}$) takbergantung pada masukan lonceng.

V _{DD}	5	10	15	V
Max. Clock Frequency	2	5	6	MHz

Tabel kebenaran

CLOCK	CLOCK ENABLE	RESET	DECODE OUTPUT - n
0	X	0	n
X	1	0	n
X	X	1	00
X	0	0	n+1
X	X	0	n
X	X	0	n
1	X	0	n+1

X = sebarang bila n-b carry = '1', kalau tidak = '0'

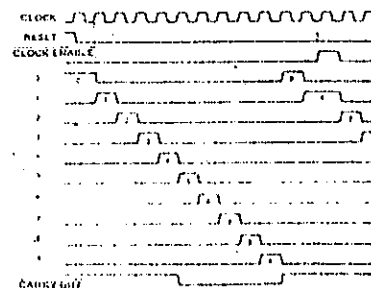
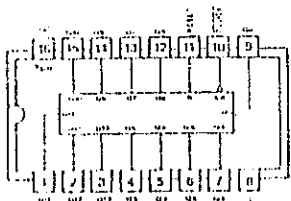


Diagram waktu untuk 4017



4020 PENCACAH BINER 14-TINGKAT dengan 12 jalankeluar (Q_0, Q_1, \dots, Q_{13})

Pencacah memulakan pada transisi TINGGI ke RENDAH pada jalanmasuk lonceng CR. TINGGI pada jalanmasuk *Reset* (R) membersihkan semua tingkat pencacah dan memaksakan semua jalankeluar ke RENDAH, takbergantung pada masukan lonceng.

V _{DD}	5	10	15	V
Max. Clock Frequency	3.5	8	12	MHz

Tabel kebenaran

CLOCK	RESET	OUTPUT STATE
X	0	No change
X	0	Advance to next state
X	1	All outputs are low

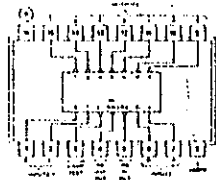
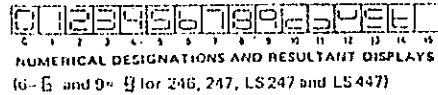
X = sebarang

LAMPIRAN A : DATA-DATA IC

IC TTL

54/74(LS)46-47

- 46, 246 Penggerak/dekoder BCD-7-segmen dengan jalankeluar kolektor terbuka (30 V)
- 47, 247 dengan jalankeluar kolektor terbuka (15 V)
- 347, 447 dengan jalankeluar kolektor terbuka (7 V)



Decimal or Function	A	B	C	D	7/10/01	4	5	6	7	8	9	10	11	12	13	14
0	H	H	L	L	L	H	OH	OH	OH	OH	OH	OH	OH	OH	OH	OH
1	H	X	L	L	H	H	OFF	OH	OH	OH	OH	OH	OH	OH	OH	OH
2	H	X	L	H	L	H	OH	OH	OH	OH	OH	OH	OH	OH	OH	OH
3	H	X	L	H	H	H	OH	OH	OH	OH	OH	OH	OH	OH	OH	OH
4	H	X	L	L	L	L	OH	OH	OH	OH	OH	OH	OH	OH	OH	OH
5	H	X	L	H	L	L	OH	OFF	OH	OH	OH	OH	OH	OH	OH	OH
6	H	X	L	H	H	L	OH	OFF	OH	OH	OH	OH	OH	OH	OH	OH
7	H	X	L	H	H	H	OH	OH	OH	OH	OH	OH	OH	OH	OH	OH
8	H	X	L	L	L	L	OH	OH	OH	OH	OH	OH	OH	OH	OH	OH
9	H	X	L	H	L	L	OH	OH	OH	OH	OH	OH	OH	OH	OH	OH
10	H	X	L	L	L	H	OFF	OFF	OH	OH	OH	OH	OH	OH	OH	OH
11	H	X	L	L	H	H	OFF	OFF	OH	OH	OH	OH	OH	OH	OH	OH
12	H	X	L	H	L	L	OFF	OH	OH	OH	OH	OH	OH	OH	OH	OH
13	H	X	L	H	H	L	OFF	OH	OH	OH	OH	OH	OH	OH	OH	OH
14	H	X	L	H	H	H	OFF	OH	OH	OH	OH	OH	OH	OH	OH	OH
15	H	X	L	L	L	H	OFF	OFF	OH	OH	OH	OH	OH	OH	OH	OH
OH	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
HO	H	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	H	OH	OH	OH	OH	OH	OH	OH	OH	OH	1

Function table
 a 46A, 246, LS47, LS347
 b 247, LS47, LS447

CATATAN:

1. Jalanmasuk polosan (\bar{D}) harus terbuka atau ditaruh pada taraf logika tinggi bila lamp test/jalankeluar 0 hingga 15 diinginkan. Jalanmasuk polosan deret (\bar{RBI}) harus terbuka atau tinggi kalau pemolosan nol dasar tidak diinginkan.
2. Kalau taraf logika rendah dikenakan dengan langsung kepada jalanmasuk polosan (\bar{D}) maka semua jalankeluar segmen adalah off tak peduli akan taraf yang ada di sebelah jalanmasuk lain.
3. Bila jalanmasuk polosan deret (\bar{RBI}) dan juga jalanmasuk-jalanmasuk A, B, C, dan D berada dalam taraf rendah dengan lamp test tinggi, maka semua segmen keluaran off dan jalankeluar polosan deret (\bar{RBI}) pergi ke taraf rendah (kondisi tanggap).
4. Kalau jalanmasuk polosan/jalankeluar polosan deret (\bar{RBI}) terbuka atau dibinakan tinggi, dan jalanmasuk lamp test dibuat rendah, maka semua segmen keluaran adalah on.
 1. \bar{RBI} adalah logika AND kawat yang berguna sebagai jalanmasuk polosan (\bar{D}) dan/atau jalankeluar polosan deret (\bar{RBI})

	supply cur. (mA)	typ. (ns)	typ. (ns)
46A			
47A	CA	100	100
246			
247			
LS47			
LS247	F	100	100
LS347			
LS447			

	Exhaustion	Fan in	Fan out
46A	\bar{RBI}/\bar{RBO} imp.	L	2,5
47A		H	1
246	other imp.	1,51	1
247	\bar{RBI}/\bar{RBO} othp.	1,51	5
	other othp.	1	25
		1	3
LS47	\bar{RBI}/\bar{RBO} imp.	H	1
LS247	other imp.	1,51	1
		L	9
	\bar{RBI}/\bar{RBO} othp.	H	2,5
	other othp.	L	60
		L	3
	\bar{RBI}/\bar{RBO} imp.	H	1
LS347	other imp.	1,51	1
LS447	\bar{RBI}/\bar{RBO} othp.	L	0
		H	2,5
	other othp.	L	1,0

IC TTL

54/74(LS)86...90

kepada jalanmasuk-jalanmasuk $A > B$, $A < B$, dan $A = B$ yang berpadanan di tingkat berikutnya yang menangani bit berbobot lebih tinggi. Tingkat yang menangani bit paling ringan perlu dikenai tegangan bertaraf tinggi pada jalanmasuk $A = B$. Jalan-jalanmasuk kaskada dari '85 dan LS85 dilaksanakan dengan tundaan hanya sepanjang dua-taraf gerbang guna mengesalkan waktu penandingan menyeluruh bagi kata yang panjang-panjang.

Tabel fungsi

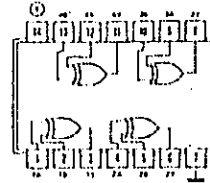
Cetakan input				Cetakan output		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	A > B	A < B	A = B
A ₃ > B ₃	X	X	X	X	X	X
A ₃ < B ₃	X	X	X	X	X	X
A ₃ = B ₃	A ₂ > B ₂	X	X	X	X	X
A ₃ > B ₃	A ₂ < B ₂	X	X	X	X	X
A ₃ = B ₃	A ₂ = B ₂	A ₁ > B ₁	X	X	X	X
A ₃ > B ₃	A ₂ > B ₂	A ₁ < B ₁	X	X	X	X
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ > B ₀	X	X	X
A ₃ > B ₃	A ₂ < B ₂	A ₁ > B ₁	A ₀ < B ₀	X	X	X
A ₃ = B ₃	A ₂ > B ₂	A ₁ < B ₁	A ₀ = B ₀	H	L	L
A ₃ > B ₃	A ₂ < B ₂	A ₁ < B ₁	A ₀ = B ₀	L	H	L
A ₃ = B ₃	A ₂ > B ₂	A ₁ > B ₁	A ₀ > B ₀	L	L	H
A ₃ > B ₃	A ₂ < B ₂	A ₁ > B ₁	A ₀ > B ₀	X	X	H
A ₃ = B ₃	A ₂ > B ₂	A ₁ < B ₁	A ₀ < B ₀	H	H	L
A ₃ > B ₃	A ₂ < B ₂	A ₁ < B ₁	A ₀ < B ₀	L	L	L

Jalanmasuk A, B, dan A = B memiliki isi-masukan 3.

Tabel fungsi

INPUTS	OUTPUT	
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

86 Gerbang OR-Khusus 2-jalanmasuk berempat
136 Dengan jalankeluar kolektor terbuka



$$Y = A \oplus B = \overline{AB} + AB$$

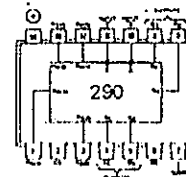
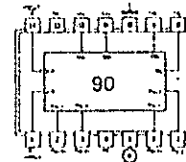
	supply curr. (mA)	typ. average propagation delay (ns)
86	30	14
LS 86	6	10
136	30	27
LS 136	6	18

LS86, LS136 Jalanmasuk memiliki isi-masukan 2

Penjelasan

Tiap pencacah taksinkron monolitik ini mengandung empat gulang-guling (*flip-flop*) induk-hamba dan tambahan penggerbangan (*gating*) guna memperoleh pencacah bagi-dua dan sebuah pencacah biner tiga-tingkat yang panjang daurnya adalah bagi-lima (untuk '90A, dan '139). Untuk membatalkan panjang cacahan se-

90 Pencacah dekada
290 Pencacah dekada
390 Pencacah dekada berdua



Urutan pencacahan BCD (lihat catatan A)

Count	Output			
	0 _A	0 _B	0 _C	0 _D
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

Alkuiiner (5-2) (lihat catatan B)

Count	Output			
	0 _A	0 _B	0 _C	0 _D
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H

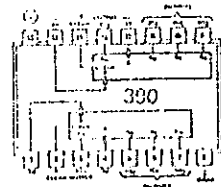
IC 390

390 (LS) 390

jumlahnya (dekada, bagi-duabelas, atau biner empat-bit) pada pencacah-pencacah ini, jalannya B dikembalikan kepada jalannya A.

Denyut-denyut cacah masukan dikenakan kepada jalannya A, dan keluarannya adalah seperti yang dijelaskan dalam tabel fungsi yang bersangkutan. Akan dapat diperoleh cacahan bagi-sepuluh yang simetrik dari pencacah '90A atau '1590 dengan jalan mengonaksikan jalannya A ke jalannya B, dan mengonaksikan cacahan masukan pada jalannya B yang menghasilkan gelombang segiempat bagi-sepuluh di jalannya A.

	supply curr. (mA)	I _{max} A	MMHr u
390A	20	32	16
LS 390	9	32	16
290	20	32	16
LS 290	9	32	16
1590	41	24	20
LS 1590	16	26	12.5



Tabel fungsi Reset cacah

RESET INPUT				OUTPUT			
R0(1)	R0(2)	R0(1)	R0(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L				COUNT
L	X	L	X				COUNT
L	X	X	L				COUNT
X	L	L	X				COUNT

CATATAN:

- A. Jalannya A₀ dikoneksikan kepada jalannya B untuk pencacahan BCD.
- B. Jalannya A₀ dikoneksikan kepada jalannya A untuk pencacahan biner.

Letakkan flip pada clear membikin rendah empat-jalannya.

Jalannya A dan B disulut oleh transisi lonceng tinggi-ke-rendah. Jalannya B memiliki isi masukan (*input load*) dua.

Penjelasan

Tiap pencacah tak-sinkron monolitik ini terdiri atas empat gulung-gulung (*flip-flop*) induk-hamba dan penggerak-tambahan untuk membentuk pencacah bagi-dua dan pencacah biner tiga-tingkat yang panjang daur cacahnya adalah bagi-enam untuk '92A.

Untuk menggunakan panjang cacahnya yang maksimum (dekada, bagi-duabelas, atau biner empat-bit) dari pencacah-pencacah ini maka jalannya B dihubungkan kepada jalannya A. Denyut-denyut cacah masukan dikenakan kepada jalannya A, dan keluarannya adalah seperti yang dijelaskan dalam tabel fungsi yang bersangkutan.

92 Pencacah bagi-dua-belas



Urutan cacahan (lihat catatan)

Count	Output			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

Tabel fungsi Reset cacah

RESET INPUTS		OUTPUT			
R0(1)	R0(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X				COUNT
X	L				COUNT

CATATAN: Jalannya A₀ dikoneksikan kepada jalannya B

	supply curr. (mA)	I _{max} A	MMHr u
92A	26	32	16
LS 92	9	32	16

Jalannya A dan B disulut oleh denyut lonceng pada taraf transisi tinggi-ke-rendah. Jalannya B memiliki isi masukan (*input load*) dua.

IC TTL
54/74(LS)165

masuk sebagai rendah pada salah satu (ataupun dua-dua) jalanmasuk, mencegah masuknya data baru dan me-reset gulang-guling pertama pada taraf rendah denyut lonceng berikutnya. Jalanmasuk yang bertaraf tinggi memampukan jalanmasuk yang lain yang selanjutnya akan menentukan status gulang-guling yang ke satu. Data pada jalanmasuk deret dapat diubah sementara lonceng sedang tinggi atau rendah, namun informasi yang akan dimasukkan hanyalah yang memenuhi persyaratan-persyaratan tatanan. Peloncengan terjadi pada

CLEAR	CLOCK	INPUTS		OUTPUTS		
		A	B	Q _A	Q _B ... Q _H	Q _H
L	X	X	X	L	L	L
H	L	X	X	Q _{A0}	Q _{B0}	Q _{H0}
H	↑	H	H	H	Q _{An}	Q _{Gn}
H	↑	L	X	L	Q _{An}	Q _{Gn}
H	↑	X	L	L	Q _{An}	Q _{Gn}

- H = taraf tinggi (status stasioner), L = taraf rendah (status stasioner)
- X = sebarang (sebarang masukan, termasuk transisi)
- ↑ = transisi dari taraf rendah ke tinggi
- Q_{A0}, Q_{B0}, Q_{H0} = masing-masing taraf pada Q_A, Q_B, atau Q_H, sebelum terjadinya kondisi-kondisi jalanmasuk stasioner yang ditunjukkan
- Q_{An}, Q_{Gn} = taraf Q_A atau Q_G sebelum transisi ↑ pada lonceng yang paling akhir; menunjukkan penggeseran satu-bit.

da transisi rendah-ke-tinggi pada denyut masukan. Semua jalanmasuk terkempa- dioda guna meminimalkan efek saluran transmisi.

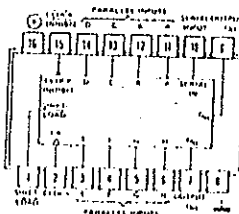
Penjelasan

'165 dan 'LS165A adalah register-register geser deret 8-bit yang menggeserkan data dari arah Q_A menuju Q_H bila dilonceng. Gapaian jajar ke setiap tingkat dimungkinkan oleh delapan jalanmasuk data yang dimampukan oleh taraf rendah di jalanmasuk *shift/load*. Register-register ini juga memiliki jalanmasuk-jalanmasuk lonceng yang tergerbang dan jalan- keluar-jalankeluar komple- menter bit ke delapan.

Semua jalanmasuk terkempa-dioda guna meminimalkan efek saluran transmisi; dengan demikian perancangan sistem menjadi disederhanakan. Peloncengan terselenggara dengan pintu NOR 2 jalanmasuk positif yang memungkinkan digunakannya satu jalanma-

165 Register geser 8-bit masuk-jajar

	supply cur. (mA)	clock max. (MHz)
165A	42	21
LS 165A	20	25

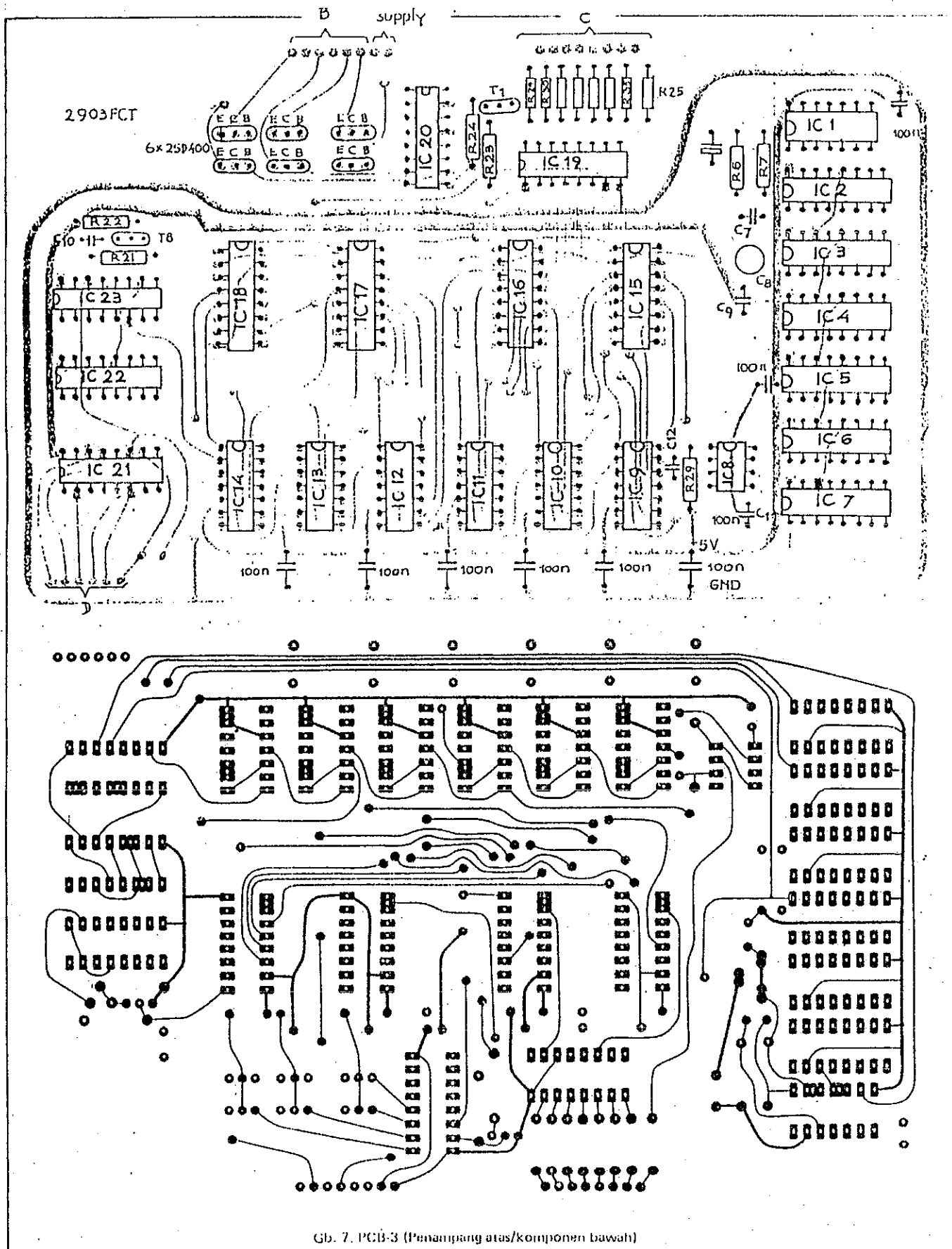


SHIFT/LOAD	CLOCK INHIBIT	INPUTS		PARALLEL A...H	INTERNAL OUTPUTS		OUTPUT Q _H
		CLOCK	SERIAL		Q _A	Q _B	
L	X	X	X	X	a	b	h
H	↑	↑	X	X	Q _{A0}	Q _{B0}	Q _{H0}
H	↑	↑	H	H	H	Q _{An}	Q _{Gn}
H	↑	↑	L	X	L	Q _{An}	Q _{Gn}
H	↑	X	X	X	Q _{A0}	Q _{B0}	Q _{H0}

masuk sebagai fungsi cegahan lonceng. Kalau salah satu jalanmasuk dibikin tinggi mencegah peloncengan dan dengan membikin salah satu jalanmasuk rendah dengan jalanmasuk *shift/load* tinggi memampukan jalanmasuk lonceng yang lain. Cegahan lonceng (*clock-inhibit*) harus diubah ke taraf tinggi hanya bila sementara jalanmasuk

lonceng adalah tinggi. Pengisian jajar tercegah selama jalanmasuk *shift/load* adalah tinggi. Data di jalanmasuk jajar diisikan langsung ke register pada transisi tinggi-ke-rendah di jalanmasuk *shift/load*, tidak bergantung pada taraf-taraf lonceng, *clock-inhibited*, ataupun jalanmasuk-jalanmasuk deret.

LAMPIRAN B : GAMBAR PCB



Gb. 7. PCB-3 (Penampang atas/komponen bawah)