

PERANCANGAN PERANGKAT KERAS SISTEM MODULASI DIGITAL QUARTENARY PHASE SHIFT KEYING (QPSK)

Abstraksi

Perkembangan teknologi telekomunikasi dan informasi berkaitan erat dengan perkembangan teknologi chip dan komputer. Modem adalah salah satu bukti perangkat yang mengalami perubahan sebagai akibat perkembangan teknologi tersebut. Lahirnya layanan dan aplikasi baru dibidang system telekomunikasi akan terus berkembang menuju peningkatan kualitas, fleksibilitas, reliabilitas termasuk teknologi transmisinya, seperti perubahan dari teknologi analog ke teknologi digital.

Phase Shift Keying (PSK) merupakan salah satu bagian dari system modulasi demodulasi (modem) digital yang mengubah fasa sinyal pembawa dengan memanfaatkan perubahan informasi digital yang terjadi (antara 0 dan 1). Dalam makalah ini akan dibahas salah satu teknik PSK, yaitu Quaternary Phase Shift Keying (QPSK) yang meliputi Modulator dan Demodulator. Proses Fourth Power Loop digunakan pada demodulator yang terdiri dari proses pemulihan gelombang pembawa dari sinyal hasil modulasi, proses untuk modulatkan sinyal informasi digital yang sesuai dengan sinyal informasi yang dipancarkan. Sedang pada Modulator meliputi proses pembangkitan gelombang pembawa, pembangkitan sinyal informasi digital dan proses

1 Pendahuluan

1.1 Latar Belakang

Sejalan dengan semakin populernya teknik modulasi digital saat ini, yang melakukan proses modulasi gelombang pembawa (carrier) frekuensi tinggi dengan bantuan sinyal informasi digital yang berfrekuensi lebih rendah pada blok modulator dan proses demodulasi sinyal informasi digital dari sinyal pembawa termodulasi pada penerima, maka dibutuhkan perangkat modem yang menangani proses ini dengan baik.

Modem bekerja dengan cara menggabungkan sinyal-sinyal informasi berbentuk sinyal pita dasar (*baseband*) dengan sinyal pembawa (carrier) yang berfrekuensi lebih tinggi untuk menghasilkan sinyal pelewat pita (*bandpass*). Proses penggabungan dilakukan dengan mengubah karakteristik amplitudo, fasa atau frekuensi sinyal pembawa berfrekuensi tinggi sesuai dengan sinyal informasi yang ditransmisikan. Proses pengubahan karakteristik sinyal pembawa disebut proses modulasi.

Salah satu teknik modulasi yang cukup banyak digunakan adalah teknik modulasi Phase Shift Keying, yang terdiri dari beberapa beberapa teknik pergeseran fasa, dari Binary PSK (BPSK), Quaternary PSK (QPSK), 8PSK dan seterusnya. Teknik modulasi QPSK merupakan modulasi yang memiliki 4 level sinyal yang mempresentasikan 4 kode biner yaitu 00, 01, 11 dan 10 dengan perbedaan sebesar 90°.

1.2 Sasaran Tugas Akhir

Tugas Akhir dengan judul "Perancangan Perangkat Keras Sistem Modulasi Digital Quaternary Phase Shift Keying" dibuat dengan sasaran.

1. Teknik Modulasi PSK, Khususnya Modulasi QPSK yang merupakan penggabungan dua BPSK.

2. Mempelajari proses modulasi dan demodulasi sistem QPSK secara nyata dengan adanya perangkat keras pendukung.
3. Menunjukkan prinsip-prinsip dasar system modulasi demodulasi QPSK.

1.3 Pembatasan Masalah

Tugas akhir ini dibuat dengan batasan-batasan sebagai berikut |

1. Perancangan yang dibuat dibatasi pada perangkat keras proses modulasi dan perangkat keras proses demodulasi.
2. Pengiriman sinyal modulasi QPSK dari modulator ke demodulator menggunakan kabel transmisi biasa.
3. Perancangan tidak melibatkan variable dari luar system (sinyal informasi dihasilkan oleh *Pseudo Random Generator*).
4. Sifat komunikasi satu arah
5. Sinyal infoformasi memiliki laju data 2400 bps.
6. Frekuensi sinyal pembawa 9600 Hz.

II. Tinjauan Pustaka

2.1 Teknik Modulasi Pelewat Pita (Bandpass) Digital

Modulasi dalam telekomunikasi berarti mengatur suatu parameter sinyal pembawa berfrekuensi tinggi dengan sinyal informasi yang berfrekuensi yang lebih rendah. Modulasi pelewat pita dapat didefinisikan sebagai proses pengubahan amplitudo, frekuensi atau fasa dari pembawa R_f atau kombinasi dari ketiganya, diubah sesuai dengan informasi yang dipancarkan.^[2]

Bentuk umum dari gelombang pembawa adalah:

$$s(t) = A(t) \cdot \sin [\omega_c t + \varphi(t)]$$

Parameter-parameter dari gelombang yang dapat dimodulasikan adalah: A(t) untuk modulasi amplitudo, f_c

atau ω_c untuk modulasi frekuensi, dan $\phi(t)$ untuk modulasi fasa.

2.2 Penguncian Geser Fasa (Phase Shift Keying)

Penguncian geser fasa merupakan teknik modulasi digital dengan amplitudo tetap dan merupakan salah satu bentuk modulasi sudut. Pengunci geser fasa serupa dengan modulasi fasa konvensional kecuali pengunci geser fasa mempunyai masukan sinyal digital biner dan menghasilkan fasa yang berbeda sesuai dengan sinyal masukan.^[2]

Bentuk umum analisa sinyal PSK adalah sebagai berikut^[3]:

$$s_i(t) = \sqrt{\frac{2E}{T}} \sin[\omega_c t + \phi_i(t)]$$

$$0 \leq t \leq T ; i = 1, \dots, M \quad (2.2)$$

dimana E adalah energi per-simbol, T adalah selang waktu. Untuk $\phi_i(t)$ akan memiliki nilai diskrit yang secara khusus diberikan oleh :

$$\phi_i = \frac{2\pi i}{M} \quad i = 1, \dots, M \quad (2.3)$$

2.3 Penguncian Geser Fasa Empat (Quaternary Phase Shift Keying).

Quaternary Phase Shift Keying (QPSK) adalah salah satu modulasi digital amplitudo tetap termodulasi sudut. Dengan QPSK memungkinkan empat keluaran fasa untuk frekuensi pembawa tunggal, karena terdapat empat fasa keluaran yang berbeda untuk empat kondisi input yang berbeda pula, yaitu 00, 01, 11 dan 10. Masing-masing level sinyal disimbolkan pada perbedaan fasa sebesar 90° . Sinyal QPSK dipresentasikan dalam persamaan matematis adalah :

$$S_{QPSK} = A\sqrt{2} \sin(\omega_c t - 135^\circ) ; \text{ untuk binary 00}$$

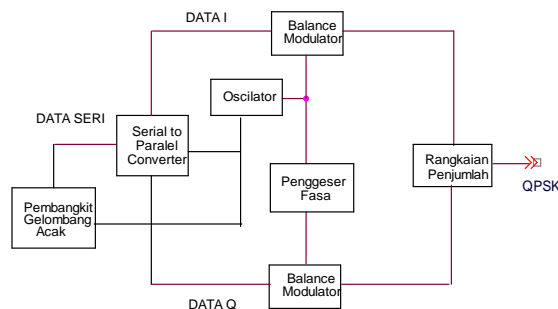
$$A\sqrt{2} \sin(\omega_c t - 45^\circ) ; \text{ untuk binary 01}$$

$$A\sqrt{2} \sin(\omega_c t + 135^\circ) ; \text{ untuk binary 10}$$

$$A\sqrt{2} \sin(\omega_c t + 45^\circ) ; \text{ untuk binary 11}$$

2.4 Modulator QPSK

Diagram blok modulator QPSK ditunjukkan pada Gambar 2.1.



Gambar 2.1 Modulator QPSK

Dua bit (dibit) serial yang diumpangkan ke pembelah bit (bit splitter) secara simultan keluar menjadi data paralel. Satu bit diarahkan ke saluran I dan yang lainnya menuju

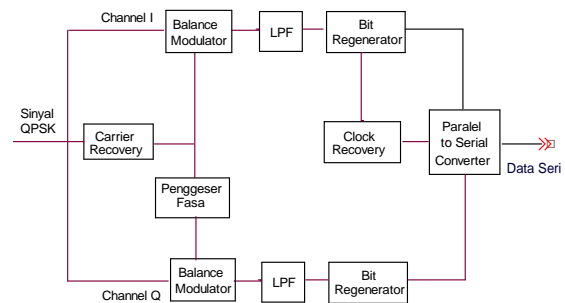
ke saluran Q. Bit I memodulasi sinyal pembawa yang sefase dengan sinyal pembawa referensi dan Q bit memodulasi sinyal pembawa yang telah digeser fasanya sebesar 90° dari sinyal pembawa referensi.

Blok modulator balans (balance modulator) merupakan saklar pembalikan fasa yang tergantung kondisi logika sinyal informasi biner. Modulator balans ini menggabungkan dua buah sinyal yang masuk pada blok ini, yaitu dari sinyal pembawa dengan sinyal informasi biner.

Sebuah modulator QPSK merupakan dua buah modulator BPSK yang disusun paralel. Untuk logika 1 = +1 V dan logika 0 = -1 V, maka dua fasa dimungkinkan pada keluaran modulator balans I ($\sin \omega_c t$ dan $-\sin \omega_c t$) dan dua kemungkinan fasa pada keluaran modulator balans Q ($\cos \omega_c t$ dan $-\cos \omega_c t$). Ketika sebuah penjumlah linier menjumlahkan keluaran dari modulator balans I dan Q, maka terdapat empat resultan fasa yang mungkin.

2.5 Demodulator QPSK

Blok diagram demodulator QPSK ditunjukkan pada Gambar 2.2



Gambar 2.2 Demodulator QPSK

Sinyal QPSK yang masuk diarahkan menuju produk detektor I dan Q serta ke rangkaian pemulih sinyal pembawa (carrier recovery). Rangkaian pemulih sinyal pembawa mendeteksi dan membangkitkan sinyal pembawa sehingga baik frekuensi dan fasa akan koheren dengan sinyal pembawa asli dari pemancar. Blok produk detektor (balanced modulator) I dan Q akan melakukan proses demodulasi sinyal QPSK yaitu mengalikan sinyal termodulasi yang diterima dengan sinyal pembawa^[4].

Proses demodulasi secara matematis adalah sebagai berikut. Terdapat empat kemungkinan sinyal QPSK yang masuk ke produk detektor. Untuk sinyal QPSK $\sin \omega_c t - \cos \omega_c t$, maka pada produk detektor I sinyal tersebut akan dikalikan dengan sinyal pembawa $\sin \omega_c t$. Keluaran dari produk detektor I adalah:

$$I = (\sin \omega_c t) \cdot (\sin \omega_c t - \cos \omega_c t)$$

$$= \sin^2 \omega_c t - (\sin \omega_c t) \cdot (\cos \omega_c t)$$

$$= \frac{1}{2} - \frac{1}{2} \cos 2\omega_c t - \frac{1}{2} \sin 2\omega_c t$$

(ditapis LPF)

$$= \frac{1}{2} \text{ V dc (logika 1)} \quad (2.23)$$

Pada produk detektor Q, sinyal yang dikalikan adalah sinyal masukan QPSK ($\sin \omega_c t - \cos \omega_c t$) dengan sinyal pembawa yang telah digeser fasanya 90° ($\cos \omega_c t$). Keluaran produk detektor Q adalah:

$$\begin{aligned}
 Q &= (\cos \omega_c t) \cdot (\sin \omega_c t - \cos \omega_c t) \\
 &= -\cos^2 \omega_c t - (\sin \omega_c t) \cdot (\cos \omega_c t) \\
 &= -\frac{1}{2} - \frac{1}{2} \cos 2\omega_c t - \frac{1}{2} \sin 2\omega_c t \\
 &\quad \swarrow \text{(di tapis LPF)} \searrow \\
 &= -\frac{1}{2} \text{ V dc (logika 0)} \quad (2.24)
 \end{aligned}$$

LPF akan menghilangkan unsur frekuensi sinyal pembawa dengan cara menghilangkan unsur sinyal pembawa yang lebih tinggi dari ω_c dan hanya melewati komponen dc.

Keluaran tapis lolos bawah bagian demodulator merupakan sinyal informasi (data serial), namun masih berupa sinyal analog dengan amplitudo yang bervariasi sesuai dengan sinyal yang diterima. Untuk mendapatkan kembali sinyal informasi berbentuk bit diperlukan rangkaian putusan (*decision circuit*) atau sering dinamakan *bit regenerator*.

Sebagaimana sistem digital lainnya, radio digital memerlukan sinkronisasi detak antara pemancar dan penerima. Dalam proses konversi data paralel ke data serial, di bagian penerima dibutuhkan suatu rangkaian *clock recovery* untuk menghasilkan detak yang sinkron antara pemancar dan penerima.

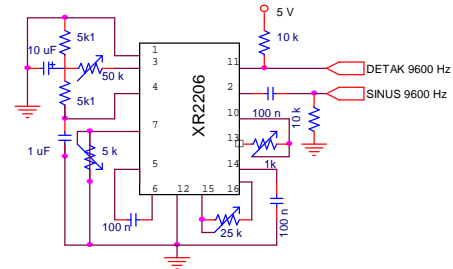
Rangkaian pengkonversi data paralel menjadi data seri merupakan akhir dari sistem demodulator. Rangkaian ini akan membangkitkan data informasi serial yang sama dengan data informasi sebelum dimodulasi.

III. Perancangan Sistem Modulasi Digital QPSK

3.1 Modulator

3.1.1 Generator Pulsa Detak dan Sinyal Pembawa

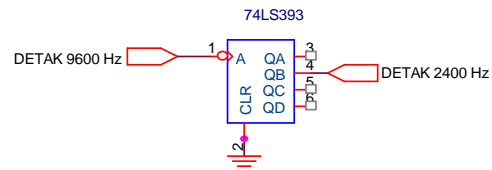
Generator pulsa detak merupakan sumber pulsa detak yang menghasilkan berbagai pulsa detak yang diperlukan pada modulator sedang generator sinyal pembawa (carrier) akan menghasilkan gelombang sinusoidal yang diperlukan sebagai sinyal pembawa referensi. Generator pulsa detak dan osilator sinyal pembawa dapat direalisasikan dengan menggunakan IC monolith function generator XR 2206. IC ini dapat menghasilkan gelombang sinus, persegi, segitiga pada frekuensi yang sama, dengan kualitas yang baik, kestabilan yang tinggi dan frekuensi kerjanya hingga melebihi 1 MHz. Frekuensi keluaran XR 2206 yang diinginkan adalah 9600 Hz



Gambar 3.1 Rangkaian generator pulsa detak dan sinyal pembawa

3.1.2 Pembagi Frekuensi

Untuk mendapatkan pulsa detak 2400 Hz sebagai pewaktu kecepatan simbol maka keluaran detak dari XR 2206 yang berfrekuensi 9600 Hz harus dibagi empat sehingga diperoleh detak dengan frekuensi yang diinginkan. Untuk merealisasinya digunakan sebuah IC 74LS393 yang berisi dua buah pencacah biner 4-tingkat. Rangkain selengkapny ditunjukkan pada Gambar 3.3.

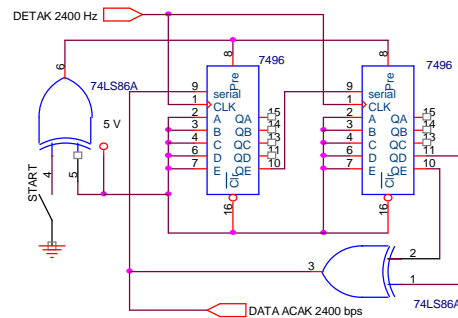


Gambar 3.2 Pembagi frekuensi

3.1.3 Pembangkit Data Acak

Kebutuhan data biner dipenuhi oleh rangkaian pembangkit data acak (*Pseudo Random Generator*). Generator ini akan menghasilkan deretan bit acak yang akan berulang setiap periode tertentu.

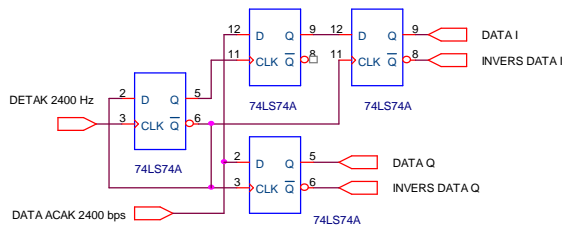
Dalam perancangan ini pembangkit data acak direalisasikan menggunakan 2 buah register geser 5 tingkat yaitu menggunakan IC TTL 7496 dan gerbang EX-OR sebagai penjumlah modulo-2, seperti ditunjukkan pada Gambar 3.5.



Gambar 3.3 Pembangkit Data Acak

3.1.4 Rangkaian Pembelah Data (*Serial to Paralel Converter*)

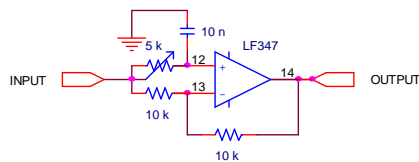
Rangkaian ini akan membagi data input menjadi data I dan data Q. Untuk merealisasinya digunakan dua buah IC TTL 74LS74 yang berisi dua buah D Flip-Flop di setiap kemasannya. Rangkaian pembelah data dari susunan empat buah D Flip-Flop ditunjukkan pada Gambar 3.6



Gambar 3.6 Rangkaian pemelah data

3.1.5 Rangkaian Penggeser Fasa

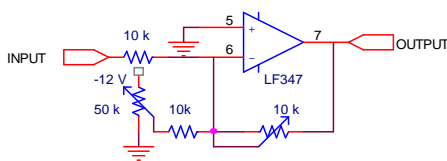
Untuk mendapatkan gelombang pembawa yang saling berbeda fasa 90° antara keduanya digunakan rangkaian penggeser fasa sinyal sinusoidal. Rangkaian penggeser fasa ditunjukkan pada Gambar 3.8 berikut.



Gambar 3.8 Rangkaian penggeser fasa.

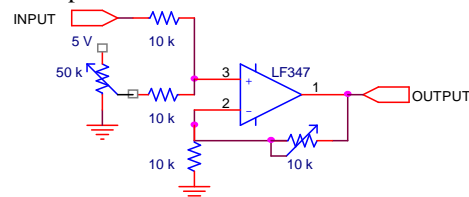
3.1.6 Rangkaian Pembalik Fasa dan Offset (*level shifter*)

Rangkaian ini berfungsi untuk membalikkan fasa sinyal pembawa sinus dan cosinus keluaran dari rangkaian penggeser fasa serta menaikkan level tegangannya sehingga dapat dilewatkan pada saklar bilateral. Rangkaian ini menggunakan *Op-Amp* yang bekerja sebagai penguat penjumlah membalik (*inverting*) seperti ditunjukkan pada Gambar 3.9 berikut.



Gambar 3.9 Rangkaian dc offset inverting.

Sedang untuk memperoleh sinyal sinus dan cosinus dengan dc offset tanpa membalikkan fasa, maka digunakan *Op-Amp* yang bekerja sebagai penguat penjumlah tidak membalik (*non-inverting*) seperti ditunjukkan pada Gambar 3.10 berikut



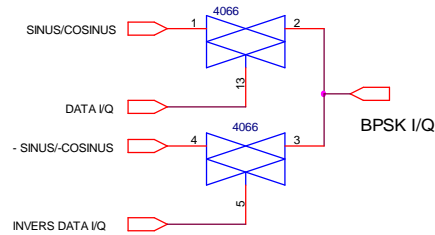
Gambar 3.10 Rangkaian dc offset non inverting.

3.1.7 Saklar Analog

Pada perancangan tugas akhir ini saklar analog yang digunakan adalah IC MC14066 yang dapat menangani sinyal digital maupun analog. Satu kemasan

IC terdiri dari empat saklar mandiri. Logika tinggi pada masukan kendali akan mengakibatkan keluaran terhubung dengan impedansi rendah. Sebaliknya jika logika rendah pada masukan kendali maka saklar akan terputus^[12]. Penggunaan saklar analog MC14066 sebagai modulator balans adalah ditunjukkan seperti Gambar 3.11.

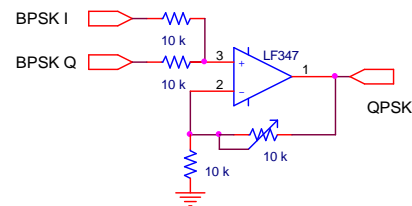
Terdapat dua modulator pada sistem QPSK, yaitu modulator I dan modulator Q. Pada modulator I sinyal pembawa sinus dikendalikan oleh data I dan sinyal pembawa invert sinus dikendalikan oleh data \bar{I} . Sedangkan pada modulator Q sinyal pembawa cosinus dikendalikan oleh data Q dan sinyal pembawa invert cosinus dikendalikan oleh data \bar{Q} .



Gambar 3.11 Modulator I/Q.

3.1.8 Rangkaian Penjumlah

Untuk menjumlahkan sinyal BPSK keluaran dari modulator I dan modulator Q dipergunakan rangkaian penjumlah, sehingga didapatkan sinyal QPSK. Dalam perancangan ini rangkaian penjumlah direalisasikan menggunakan *Op-Amp* yang bekerja sebagai penjumlah non-inverting seperti ditunjukkan pada Gambar 3.13.



Gambar 3.13 Rangkaian penjumlah.

3.2.1 Rangkaian Pemulih Sinyal Pembawa (*Carrier Recovery*)

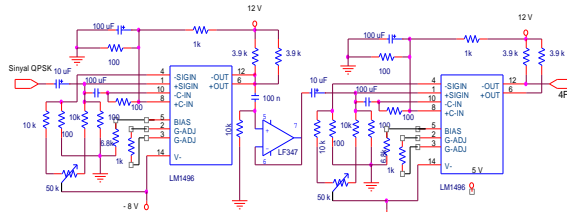
Pada demodulator rangkaian carrier recovery berfungsi sebagai pembangkit sinyal pembawa seperti osilator membangkitkan sinyal pembawa pada modulator. Pada perancangan ini digunakan metode *Fourth Power Loop*. Pada metode ini sinyal QPSK yang masuk dipangkatkan empat untuk menghilangkan pengaruh sinyal modulasi sebelum diumpankan ke PLL dan pembagi empat sehingga diperoleh sinyal dengan frekuensi dan fasa yang sinkron dengan sinyal pembawa pada modulator.

A. Pemangkat Empat.

Dalam Tugas Akhir ini, rangkaian pemangkat empat direalisasikan dengan mengkaskadekan dua buah rangkaian pengkuadrat sehingga diperoleh sinyal dengan frekuensi $4f_c$. Pada perancangan, digunakan IC Balance

Modulator MC1496 sebagai pengali sinyal antara dua frekuensi. MC 1496 akan berfungsi sebagai pengganda frekuensi ketika suatu sinyal yang sama dimasukkan pada kedua port masukannya (pin 1 dan 10).^[15]

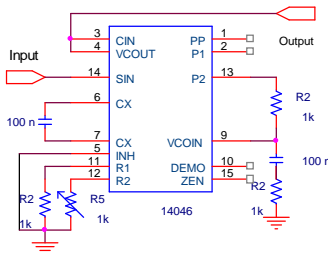
Suatu penyangga (*buffer*) antara rangkaian pengkuadrat satu dengan lain dibutuhkan agar sinyal yang dihasilkan rangkaian sebelumnya tidak cacat atau rusak akibat efek pembebanan, diwujudkan dengan menggunakan penguat operasional.



Gambar 3.15 Rangkaian pengkuadrat.

B. Ikal Terkunci Fasa (*Phase Locked Loop*)

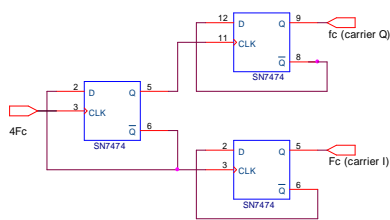
Sinyal keluaran dari pemangkat empat diumpungkan ke ikal terkunci fasa agar keluarannya terkunci dengan frekuensi dan fasa yang sama dengan sinyal keluaran rangkaian pemangkat. Rangkaian ikal terkunci fasa diwujudkan dengan rangkaian terintegrasi MC14046. Perancangan ikal terkunci fasa pada rangkaian pemulihan sinyal pembawa 38.4 KHz ditunjukkan pada Gambar 3.16.



Gambar 3.16 Rangkaian ikal terkunci fasa IC MC14046.

C Pembagi Empat.

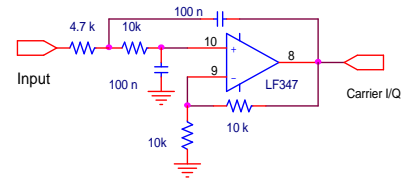
Untuk mendapatkan kembali sinyal dengan frekuensi f_c setelah dipangkatkan empat, maka sinyal keluaran PLL harus dilewatkan dahulu pada rangkaian pembagi empat. Rangkaian ini dapat direalisasikan dengan menggunakan tiga buah D Flip-Flop seperti ditunjukkan pada Gambar 3.17.



Gambar 3.17 Rangkaian pembagi empat.

Untuk mendapatkan sinyal sinusoidal, maka detak keluaran pembagi empat harus dilewatkan pada tapis

lolos bawah. Tapis akan menahan harmonisa-harmonisa pembentuk sinyal kotak dan melewatkan sinyal fundamentalnya yang berbentuk sinyal sinusoidal dengan frekuensi yang sama. Rangkaian LPF pembentuk sinusoidal dapat dilihat pada Gambar 3.19.

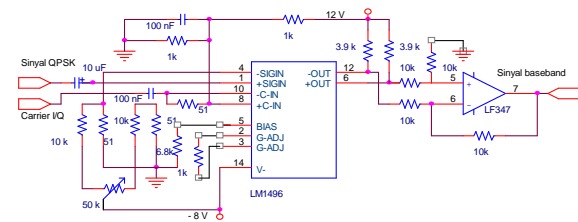


Gambar 3.19 LPF pembentuk sinusoidal.

3.2.2 Rangkaian Pengali (Balanced Modulator)

Rangkaian pengali sinyal berfungsi untuk mengalikan sinyal QPSK dengan sinyal pembawa yang dihasilkan oleh carrier recovery, sehingga diperoleh sinyal yang mengandung komponen base band. Sinyal keluaran rangkaian pengali merupakan bakal sinyal informasi yang masih bercampur dengan sinyal frekuensi tinggi.

Rangkaian ini dapat direalisasikan dengan menggunakan IC Balance Modulator MC 1496 seperti ditunjukkan pada Gambar 3.20 yang diperoleh dari data aplikasi IC 1496. Sebuah penguat selisih tegangan (*differential amplifier*) dapat digunakan untuk menyisahkan kedua sinyal, seperti ditunjukkan pada Gambar 3.21. Rangkaian ini menggunakan Op-Amp LF 347 dan resistor sebagai komponen pendukung.

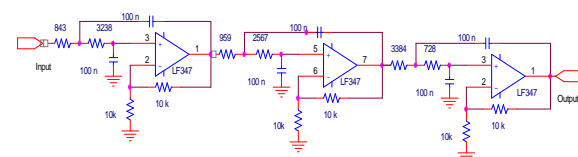


Gambar 3.20 Rangkaian pengali sinyal.

3.2.3 Tapis Lolos Bawah

Sinyal keluaran rangkaian pengali terdiri dari sinyal frekuensi rendah yang merupakan bakal sinyal informasi dan sinyal frekuensi tinggi. Untuk meloloskan sinyal informasi dan menekan sinyal frekuensi tinggi maka sinyal hasil perkalian harus ditapis dengan tapis lolos bawah.

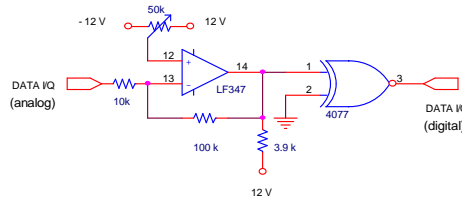
Dalam perancangan Tugas Akhir ini digunakan LPF jenis Bessel, yang diharapkan distorsi amplitudo maupun fasa sinyal informasi keluaran tapis dapat ditekan sekecil mungkin seperti ditunjukkan oleh Gambar 3.22.



Gambar 3.22 Filter Bessel orde 6.

3.2.4 Bit Regenerator

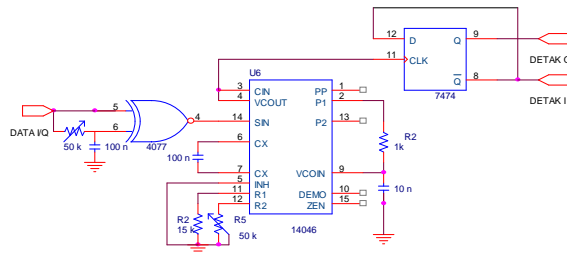
Keluaran tapis diatas merupakan sinyal informasi (data paralel), namun masih berupa sinyal analog yang amplitudonya bercarasi sesuai dengan sinyal yang diterimanya. Untuk mendapatkan kembali sinyal informasi yang berbentuk bit-bit diperlukam rangkaian desisi yang sering dinamakan *bit regenerator*. Dalam perancangan *bit regenerator* ini digunakan Op-Amp LF 347 sebagai komparator. rangkaian selengkapnya dapat dilihat pada Gambar 3.12.



Gambar 3.23 Rangkaian bit regenerator.

3.2.4 Pemulih Detak (Clock Recovery)

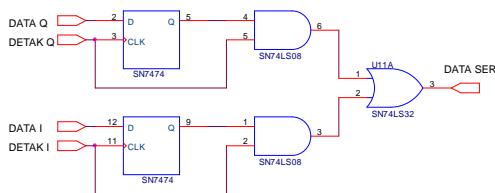
Pada demodulator untuk menghasilkan detak yang sinkron dibutuhkan suatu rangkaian clock recovery (pemulih detak) yang dihasilkan dari data paralel. *Clock recovery* direalisasikan dengan beberapa rangkaian, yaitu rangkaian delay, PLL dan D Flip-Flop adapun diagram blok dan rangkaian lengkap dapat dilihat pada Gambar 3.24



Gambar 3.24 Rangkaian pemulih detak.

3.2.4 Paralel to Serial Converter

Rangkaian pengkonversi data paralel menjadi data seri merupakan akhir dari sistem demodulator. Dalam perancangan konversi data paralel ke seri dapat direalisasikan dengan beberapa komponen digital yang dapat dijelaskan pada Gambar 3.26. Adapun D Flip-Flop yang dipakai adalah jenis IC 74LS74, 2 buah gerbang AND (IC 74LS08) dan OR (IC 7432).

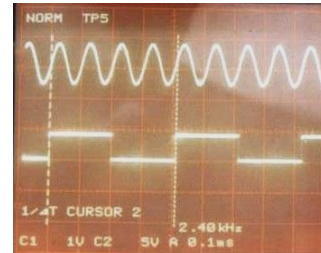


Gambar 3.15 Rangkaian Paralel To Serial Converter.

4.1 Modulator

4.1.1 Pengamatan Sinyal Pembawa Acuan dan Pulsa Detak

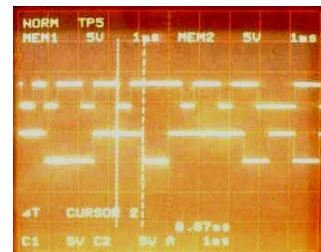
Sinyal pembawa acuan adalah sinyal sinus 9600 Hz seperti ditunjukkan pada Gambar 4.1. Gambar atas merupakan sinyal pembawa acuan 9600 Hz dan dibawahnya adalah sinyal detak 2400 Hz. Sinyal detak 2400 Hz diperoleh dari sinyal detak 9600 Hz keluaran IC generator fungsi XR 2206 yang telah dibagi empat oleh pencacah biner 74LS393



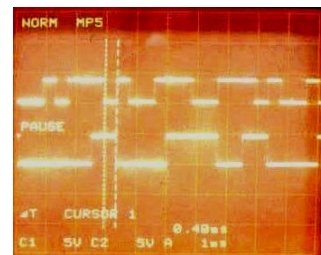
Gambar 4.1 Keluaran sinyal pembawa 9600 Hz dan detak 2400Hz.

4.1.2 Pengamatan Keluaran Pembangkit Data Acak dan Rangkaian Pembelah Data (Bit Splitter).

Dari Gambar 4.2 dan Gambar 4.3 keluaran rangkaian pembangkit data acak dapat diamati (gambar atas) dengan laju bit (*bit rate*) 2400 bps Dengan menggunakan register geser sebanyak 10 tingkat maka akan diperoleh data acak dengan pengulangan sebesar $(2^{10}-1) = 1023$ bit.



Gambar 4.2 Data acak dan data I

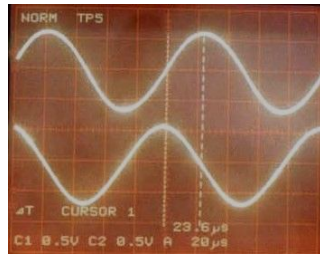


Gambar 4.3 Data acak dan data Q

Gambar 4.2 menunjukkan hasil pembelahan data di lengan I yang berupa bit-bit ganjil. Sedangkan Gambar 4.3 menunjukkan hasil pembelahan data di lengan Q yang berupa bit-bit genap.

4.1.3 Pengamatan Sinyal Pembawa dan Pergeseran Fasa

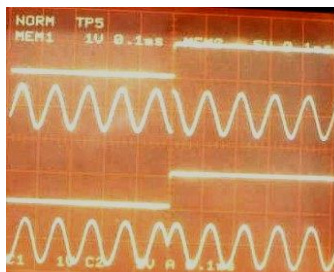
Gambar atas menunjukkan sinyal sinus acuan 9600 Hz dan di bawahnya adalah sinyal cosinus 9600 Hz.



Gambar 4.6 Pergeseran fasa sinyal sinus dan cosinus.

4.1.4 Pengamatan Keluaran *Balanced Modulator*

Unjuk kerja modulator dapat dilihat dari Gambar 4.8. Sinyal pertama adalah sinyal informasi untuk data masukan modulator Q, sedang sinyal kedua adalah sinyal keluaran modulator Q. Pada saat data input berlogika 1 maka modulator akan mengeluarkan sinyal cosinus 9600 Hz dan jika data input berlogika 0 maka modulator akan mengeluarkan sinyal $-\cosinus$ 9600 Hz.



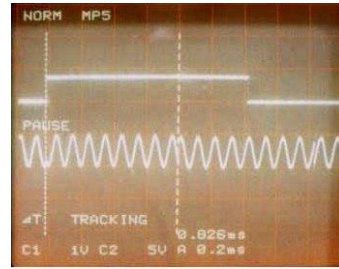
Gambar 4.8 Keluaran modulator Q dan modulator I.

Sinyal ketiga dari Gambar 4.8 adalah sinyal data untuk modulator I, dan keluaran modulator I ditunjukkan sinyal keempat. Saat data input berlogika 1 maka modulator akan mengeluarkan sinyal sinus 9600 Hz dan jika data input berlogika 0 maka modulator akan mengeluarkan sinyal $-\sinus$ 9600 Hz. Keluaran modulator Q dan modulator I merupakan sinyal BPSK karena menghasilkan sinyal berbeda fasa 180° untuk dua sinyal input yang berbeda.

4.1.5 Pengamatan Keluaran Modulator QPSK

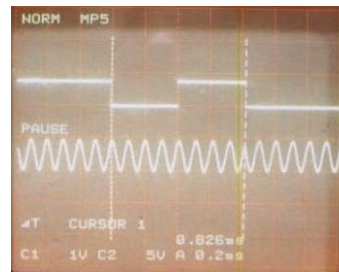
Sinyal QPSK dihasilkan dari penjumlahan dua sinyal BPSK I dan BPSK Q. Sinyal keluaran rangkaian penjumlahan dapat ditunjukkan gambar-gambar dibawah, sebagai berikut.

Dari gambar-gambar dibawah ditunjukkan perbandingan antara data informasi yang masuk dengan sinyal QPSK yang dihasilkan modulator. Saat data informasi 11 (data I = 1 dan data Q = 1) modulator QPSK akan mengeluarkan sinyal $\sin(\omega_c t + 45^\circ)$ seperti ditunjukkan pada Gambar 4.9.



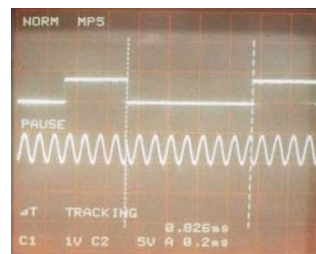
Gambar 4.9 Sinyal OPSK untuk data 11.

Gambar 4.10 menunjukkan bahwa saat data informasi 01 (data I = 0 dan data Q = 1) modulator QPSK akan mengeluarkan sinyal $\sin(\omega_c t + 135^\circ)$.



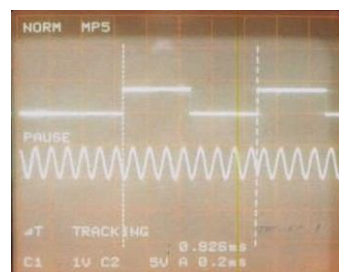
Gambar 4.10 Sinyal OPSK untuk data 01.

Saat data informasi 00 (data I = 0 dan data Q = 0) modulator QPSK akan mengeluarkan sinyal $\sin(\omega_c t - 135^\circ)$ seperti ditunjukkan pada Gambar 4.11.



Gambar 4.11 Sinyal OPSK untuk data 00.

Sedang saat data informasi 10 (data I = 1 dan data Q = 0) modulator QPSK akan mengeluarkan sinyal $\sin(\omega_c t - 45^\circ)$ seperti ditunjukkan pada Gambar 4.12.



Gambar 4.12 Sinyal OPSK untuk data 10.

Dari gambar dapat ditunjukkan bahwa sinyal keluaran dari penjumlahan merupakan sinyal yang fasanya berubah-ubah tergantung dari susunan bit yang masuk. Dari keempat gambar diatas terlihat bahwa terdapat tundaan antara data informasi dengan sinyal QPSK yang dihasilkan rangkaian penjumlah. Hal tersebut terjadi pada proses pengubahan dari data serial ke data paralel.

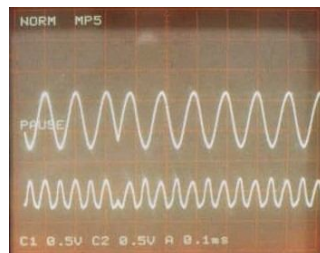
4.2 Pengamatan Bentuk Sinyal dan Unjuk Kerja Demodulator

Pengamatan terhadap bentuk sinyal dan unjuk kerja Demodulator QPSK dilakukan terhadap semua bagian pada rangkaian demodulator, meliputi Blok *carrier recovery*, *balanced modulator*, LPF rekonstruksi, *bit regenerator*, *clock recovery*, dan konverter paralel ke serial. Sedang pengukuran dilakukan pada keluaran VCO dari PLL, respon frekuensi tapis pembentuk gelombang sinusoida dan respon frekuensi pada LPF rekonstruksi.

4.2.1 Pengamatan Rangkaian Carrier Recovery

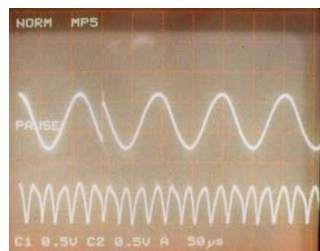
4.2.1.1 Rangkaian Pemangkat Empat

Rangkaian pemangkat empat yang dirancang terdiri dari dua buah rangkaian pemangkat dua yang disusun seri. Gambar 4.13 menunjukkan sinyal QPSK dan sinyal hasil pemangkatan. Dari gambar tersebut terlihat bahwa pada sinyal hasil pemangkatan masih terdapat pengaruh sinyal modulasi.



Gambar 4.13 Sinyal hasil pemangkatan dua.

Pada Gambar 4.14 ditunjukkan sinyal QPSK dan sinyal yang telah dipangkatkan empat. Pada sinyal hasil pemangkatan empat sudah tidak terdapat pengaruh sinyal modulasi. Sinyal ini memiliki frekuensi $4f_c$.



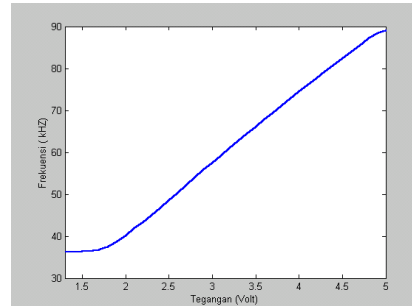
Gambar 4.14 Sinyal hasil pemangkatan empat.

4.2.1.2 Pengujian Osilator Terkendali Tegangan (VCO)

Pengujian dilakukan untuk mengetahui batas atas dan batas bawah dari frekuensi masukan yang dapat

ditangani PLL sesuai dengan rangkaian RC pada masukan VCO. Pengujian VCO dilakukan dengan mengukur perubahan frekuensi keluaran VCO terhadap perubahan tegangan masukan. Pencatatan frekuensi dilakukan setiap perubahan masukan 0.1 V.

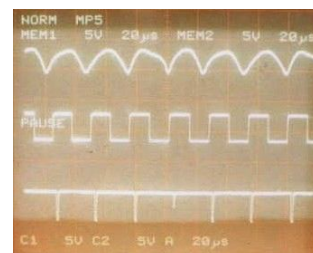
Grafik hasil pengujian VCO diperlihatkan pada Gambar 4.15. Dari grafik terlihat bahwa kenaikan frekuensi keluaran VCO proporsional terhadap perubahan tegangan input VCO untuk range tegangan antara 1.8 V - 4.8 V. Diluar rang tersebut keluaran VCO mengalami saturasi. Hal ini tidak mempengaruhi kerja PLL karena VCO bekerja pada daerah pada proporsional.



Gambar 4.15 Grafik frekuensi keluaran VCO terhadap tegangan masukan.

4.2.1.3 Pengamatan Sinyal Keluaran PLL

Sinyal hasil pemangkatan empat diumpankan ke PLL. Jika frekuensi sinyal masukan tersebut berada pada jangkauan frekuensi yang dapat ditangani PLL dan memiliki level tegangan yang cukup maka PLL akan menghasilkan sinyal yang terkunci fasa maupun frekuensinya. Unjuk kerja PLL ditunjukkan pada Gambar 4.16. Gambar pertama adalah sinyal hasil pemangkatan empat, dibawahnya adalah sinyal keluaran PLL dan sinyal LD (*Lock Detector*) dari MC14046 yang menunjukkan apakah sinyal keluaran terkunci fasa terhadap masukan atau tidak. Dari Gambar 4.16 terlihat bahwa pada sinyal LD terdapat celah, yang menunjukkan terdapat pergeseran fasa antara sinyal masukan dan sinyal keluaran.

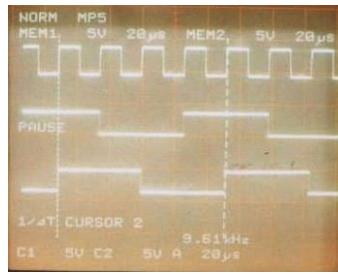


Gambar 4.16 Detak keluaran PLL dan LD.

4.2.1.4 Pengamatan Rangkaian Pembagi Empat dan Penggeser Fasa

Untuk mendapatkan sinyal dengan frekuensi f_c , maka detak keluaran PLL harus dibagi empat, yang kemudian digeser untuk menghasilkan dua buah detak yang berbeda fasa 90° . Bentuk sinyal dari hasil pembagi

empat dan pergeseran fasa dapat dilihat pada Gambar 4.17.



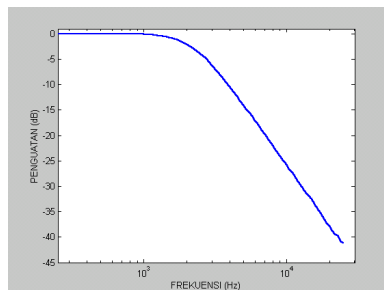
Gambar 4.17 Sinyal keluaran PLL dan pembagi empat.

Sinyal pertama adalah sinyal keluaran PLL yang mempunyai frekuensi $4f_c$ dengan fasa terkunci. Selanjutnya pada sinyal kedua dan ketiga ditampilkan sinyal pembagi empat yang mana merupakan sinyal persegi dengan frekuensi f_c , yang satu dengan lainnya berbeda fasa sebesar 90° .

4.2.1.5 Pengujian Tapis Lolos Bawah Pembentuk Sinusoida

Pengujian dilakukan dengan menggunakan osiloscope digital 60 MHz sebagai alat ukur dan generator fungsi sebagai sumber masukan. Tegangan yang digunakan sebagai masukan adalah $2 V_{pp}$ dengan rentang frekuensi dari $0.1 f_c$ sampai $10 f_c$.

Filter yang dirancang menghasilkan landaian sebesar -40 dB/dekade . Hal ini berarti besarnya penguatan loop tertutup A_{cl} untuk frekuensi diatas f_c akan turun sebesar 40 dB bersamaan dengan naiknya frekuensi dari ω ke 10ω . Nilai landaian yang diperoleh dari pengukuran mendekati dengan nilai landaian yang diharapkan yaitu sebesar 40 dB seperti ditunjukkan pada grafik dari Gambar 4.18 dibawah.

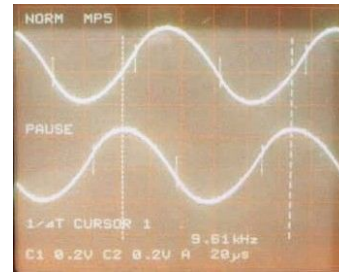


Gambar 4.18 Grafik respon frekuensi tapis pembentuk sinyal sinusoida.

4.2.1.6 Pengamatan Pembentukan Sinyal Pembawa

Untuk menjadi sinyal pembawa (*carrier*), sinyal dari pembagi empat harus dilewatkan ke sebuah tapis lolos bawah sehingga berbentuk sinusoida. Sinyal pembawa yang dihasilkan oleh *carrier recovery* adalah sinus 9600 Hz untuk diumpankan ke modulator I dan cosinus 9600 Hz untuk modulator Q. Sinyal gelombang pembawa untuk kedua kanal dapat dilihat pada Gambar

4.19. Sinyal pertama adalah sinus 9600 Hz sinyal dibawahnya adalah sinyal cosinus 9600 Hz .

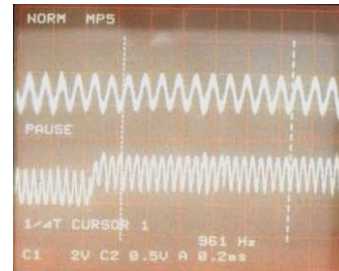


Gambar 4.19 Sinyal pembawa sin 9600 dan cos 9600 keluaran *carrier recovery*

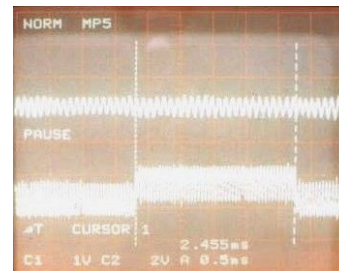
4.2.2 Pengamatan Sinyal Hasil Perkalian (*Balanced Modulator*)

Sinyal keluaran dari *balanced modulator* merupakan hasil perkalian antara sinyal QPSK dengan sinyal gelombang pembawa keluaran *carrier recovery*. Hasilnya adalah sinyal bakal informasi (*base band*) yang bercampur dengan sinyal frekuensi tinggi. Hasil perkalian antara sinyal QPSK dan sinyal pembawa untuk modulator I dan modulator Q selengkapnya dapat dilihat di Tabel 2.2 pada Bab II.

Dari Gambar 4.20 dapat diamati sinyal hasil perkalian antara sinyal QPSK dan sinyal sinus 9600 Hz pada kanal I. Sedang pada Gambar 2.21 dapat diamati sinyal hasil perkalian antara sinyal QPSK dengan sinyal cosinus 9600 Hz pada kanal Q. Sinyal pertama adalah sinyal pembawa dengan frekuensi 9600 Hz . Sinyal kedua adalah sinyal hasil perkalian yang memiliki frekuensi dua kali frekuensi sinyal pembawa. Dari Gambar 4.20 juga dapat diamati bahwa sinyal hasil perkalian mengandung sinyal bakal informasi yaitu komponen dc ($\pm \frac{1}{2} \text{ dc V}$).



Gambar 4.20 Sinyal hasil perkalian sinyal QPSK dan sinyal sinus 9600 Hz .

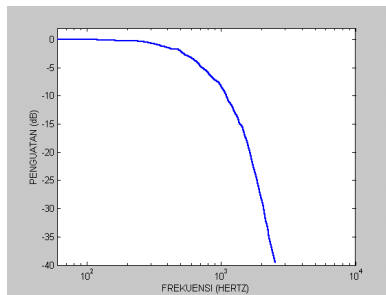


Gambar 4.21 Sinyal hasil perkalian sinyal QPSK dan sinyal cosinus 9600 Hz .

4.2.3 Pengujian Tapis Lolos Bawah (LPF) Rekonstruksi

Pada pengujian tapis ini juga dilakukan dengan menggunakan osiloscope digital 60 MHz sebagai alat ukur dan generator fungsi sebagai sumber masukan. Tegangan yang digunakan sebagai masukan adalah 0.5 Vpp dengan rentang frekuensi dari 60 Hz sampai 2520 Hz.

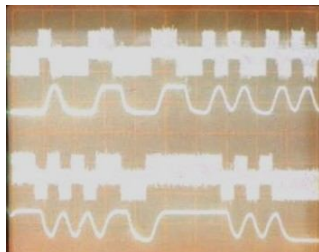
Tapis yang dirancang menghasilkan landaian sebesar -70dB/decade seperti ditunjukkan pada Gambar 4.22. Hal ini berarti besarnya penguatan ikal tertutup Acl untuk frekuensi diatas frekuensi *cut off* akan turun sebesar 70 dB bersamaan dengan naiknya frekuensi dari ω ke 10ω . Nilai landaian yang diperoleh dari pengukuran tidak sama dengan nilai landaian yang diharapkan yaitu sebesar 120 dB. Hal ini karena nilai tahanan dan kapasitor yang digunakan dalam rangkaian tapis tidak sesuai dengan nilai yang tertunjuk. Namun hal ini tidak mempengaruhi aksi tapis untuk menghilangkan pengaruh frekuensi tinggi ($2f_c$) sehingga keluaran tapis hanya terdapat sinyal bakal informasi.



Gambar 4.22 Respon frekuensi LPF Rekonstruksi.

4.2.4 Pengamatan Sinyal Keluaran LPF Rekonstruksi.

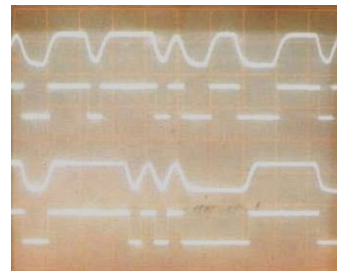
Pengamatan sinyal keluaran tapis dilakukan pada Gambar 4.23, yaitu berupa sinyal keluaran modulator dan sinyal keluaran tapis. Untuk sinyal pertama dan kedua adalah untuk kanal I sedang sinyal ketiga dan keempat untuk kanal Q. Sinyal keluaran tapis merupakan sinyal data yang sesuai dengan data yang dikirimkan oleh modulator, tetapi masih berupa sinyal analog.



Gambar 4.23 Sinyal keluaran LPF Rekonstruksi kanal I dan kanal Q.

4.2.5 Pengamatan Sinyal Keluaran *Bit Regenerator*

Rangkaian *bit regenerator* akan mendapatkan sinyal informasi yang berbentuk bit-bit data dari sinyal keluaran LPF yang masih berupa sinyal analog. Sinyal keluaran *bit regenerator* adalah sinyal data yang sesuai dengan data yang diterima untuk data paralel. Pengamatan unjuk kerja *bit regenerator* dilakukan pada Gambar 4.23. Sinyal pertama dan ketiga adalah sinyal keluaran LPF kanal I dan Q, dibawahnya adalah sinyal keluaran *bit regenerator* yang merupakan data paralel dengan level tegangan 5 Volt untuk keadaan tinggi dan 0 Volt untuk keadaan rendah. Level tegangan 5 Volt saat keadaan tinggi diperoleh karena keluaran *bit regenerator* adalah juga keluaran gerbang EXNOR.



Gambar 4.24 Sinyal keluaran *Bit Regenerator* kanal I dan kanal Q.

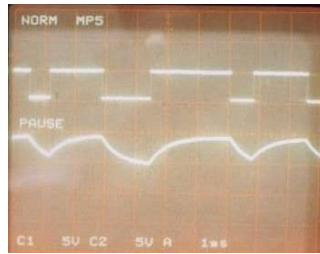
Lebar bit keluaran *bit regenerator* tergantung dari level tegangan sinyal yang masuk dan pengaturan tegangan ambang (*Threshold Voltage*). Sehingga bila terdapat kesalahan pada lebar bit, maka hal tersebut dapat disebabkan oleh beberapa kemungkinan. Kesalahan biasanya terjadi pada bagian pengali sinyal, bagian penapisan atau pada penetapan tegangan ambang yang tidak sesuai.

4.2.6 Pengamatan Unjuk Kerja *Clock Recovery*.

Rangkaian *clock recovery* berfungsi untuk menghasilkan sinyal clock yang sinkron dengan data paralel yang akan diubah menjadi data seri pada P/S *converter*. Pengamatan untuk kerja *clock recovery* meliputi pengamatan terhadap sinyal pada rangkaian tunda $\frac{1}{2}$ bit, rangkaian pengali (EXNOR), PLL dan pembagi dua.

4.2.6.1 Rangkaian Tunda Setengah Bit

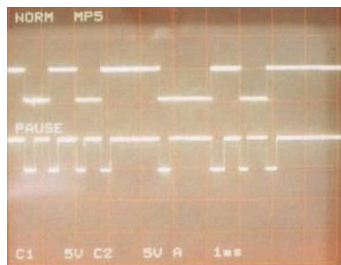
Dari Gambar 4.25 dapat dilihat unjuk kerja rangkaian penunda $\frac{1}{2}$ bit. Sinyal atas adalah sinyal keluaran *bit regenerator* yang merupakan data informasi paralel dari kanal I, sedang sinyal di bawahnya adalah sinyal hasil tundaan. Rangkaian tunda yang digunakan adalah rangkaian RC sehingga sinyal yang masuk secara berangsur mengisi kapasitor hingga penuh. Lama waktu pengisian tergantung pada nilai R dan C yang digunakan. Dengan menggunakan R variable maka besarnya waktu pegisian dapat diatur sedemikian sehingga diperoleh tundaan waktu sebesar $\frac{1}{2}$ bit.



Gambar 4.25 Penundaan 1/2 bit.

4.2.6.2 Rangkaian Pengali (EXNOR)

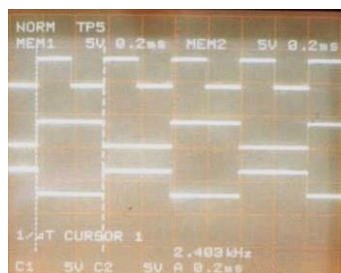
Sinyal hasil pengalian antara sinyal data informasi dengan sinyal pergeserannya dapat diamati pada Gambar 4.26. Sinyal sebelah atas merupakan sinyal data informasi dari kanal I dan sinyal dibawahnya adalah sinyal hasil perkalian. Sinyal hasil perkalian akan memiliki laju bit dua kali laju bit data I yang diumpangkan. Sinyal ini selanjutnya diumpangkan ke rangkaian PLL untuk mendapatkan detak 2400 Hz



Gambar 2.25 Sinyal hasil perkalian bit data dengan tundaanya.

4.2.6.3 PLL dan Pembagi Dua

Sinyal detak keluaran PLL dan pembagi dua dapat diamati dari Gambar 4.26.



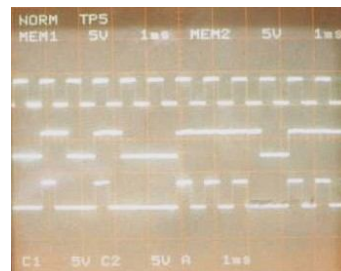
Gambar 2.26 Detak keluaran clock recovery.

Sinyal detak pertama merupakan sinyal keluaran PLL yang berfrekuensi 2400 Hz, sedangkan sinyal kedua dan ketiga adalah sinyal detak yang telah dibagi dua dengan frekuensi 1/2 dari detak pertama dan mempunyai polaritas yang berlawanan. Kedua sinyal detak yang dihasilkan digunakan untuk mengontrol rangkaian P/S converter tiap-tiap kanal. Detak kedua digunakan untuk mengontrol data I sedang detak ketiga untuk mengendalikan data Q.

4.2.7 Konverter Paralel ke Serial

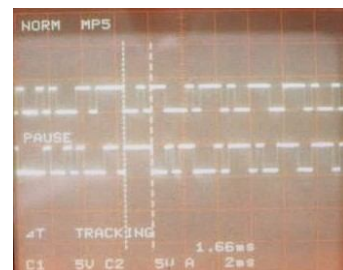
Untuk mendapatkan sinyal keluaran demodulator perlu dilakukan suatu proses dari data-data yang dihasilkan oleh *bit regenerator* dengan mengkonversikan data paralel dari kanal I dan kanal Q menjadi data seri dengan sebuah rangkaian *converter*. Masukan dari rangkaian P/S converter adalah data paralel dan detak dari tiap kanal. Konverter yang dirancang menggunakan dua buah gerbang AND dua masukan 74LS08 dan sebuah gerbang OR dua masukan 74LS32.

Setiap kanal data beserta detak kendalinya dimasukan ke gerbang AND. Karena detak pengendali data I dan data Q mempunyai logika yang berlawanan maka keluaran gerbang AND untuk data I dan Q akan bergantian. Operasi AND antara data I dan detak pengendalinya dapat dilihat pada Gambar 4.27.



Gambar 2.27 Operasi AND antara data I dan detak pengendalinya.

Untuk mendapatkan data serial maka dilakukan operasi OR pada data hasil operasi AND dari kanal I dan kanal Q. Keluaran dari gerbang OR ini adalah data yang sama dengan data yang dimasukan pada modulator. Gambar 2.28 menampilkan sinyal data seri yang diambil pada rangkaian PRG dari modulator yang akan dibandingkan dengan data seri hasil dari pendeteksian demodulator. Dari gambar 4.28 dapat dilihat terdapat tundaan waktu sebesar 1.66 ms antara data dari PRG dengan data keluaran demodulator. Hal ini di sebabkan karena proses perubahan dari data serial ke paralel pada modulator, tundaan tapis rekonstruksi, serta proses perubahan data paralel ke serial disamping akumulasi penundaan dari tiap-tiap komponen yang digunakan.



Gambar 4.28 Data masukan dari PRG dan data keluaran demodulator.

5.1 Kesimpulan

1. Dengan menggunakan sinyal carrier acuan dan sumber detak yang berasal dari satu sumber maka diperoleh sinyal yang sinkron antara keduanya dengan delay minimal sehingga diperoleh sinyal QPSK yang dapat diamati dengan jelas pergeseran fasanya..
2. Dalam perancangan, hasil perubahan data seri ke data paralel oleh Bit Splitter diperoleh Data I sebagai data ganjil untuk dikalikan dengan sinyal carrier $\sin \omega_c t$ dan Data Q sebagai data genap untuk carrier $\cos \omega_c t$.
3. Dari Bit Splitter, Data parallel yang dihasilkan akan tertunda sebesar dua bit terhadap data input serial.
4. VCO yang dirancang mempunyai rentang frekuensi kerja antara 87 kHz sampai 37,5 kHz untuk tegangan kendali masukan antara 4.8 V – 1.8 V
5. Pengujian LPF Recontruction menghasilkan landaian sebesar -70 dB/decade dengan frekuensi cut off 550 Hz
6. Terjadinya tundaan waktu antara data input modulator dengan data keluar demodulator sebesar 1.66 ms sebabkan karena proses perubahan dari data serial ke paralel pada modulator, tundaan tapis rekonstruksi, disamping akumulasi penundaan dari tiap-tiap komponen yang digunakan.

5.2 Saran

1. Format pengiriman pesan PONDASI belum menggunakan format data standar, diperlukan standarisasi format pengiriman pesan ke terminal penerima.
2. PONDASI sebagai penerima pesan hanya berfungsi pada sentral tertentu yang memiliki layanan CID, agar wilayah cakupannya semakin luas hendaknya PT TELKOM menyediakan layanan CID sebagai layanan standar telekomunikasinya.
3. PONDASI masih memerlukan pengembangan lebih lanjut agar pengiriman pesan dapat dilakukan dengan prosedur yang lebih mudah dan sederhana.

DAFTAR PUSTAKA

- [1] Munandar, Arief, *Perancangan Perangkat Keras Sistem Modulasi Digital Binary Phase Shift Keying*, Tugas Akhir, Universitas Diponegoro, Semarang, 2001.
- [2] Sharawi, Mohammad, Husam Abu-Ajwah, *Digital Communication Training Kit*, Electronics Engineering, Princess Sumaya University College for Technology, Jordan, 1999.
- [3] Haykin, Simon, *Digital Communication*, McGraw-Hill, Series in Electrical Engineering, USA, 1983.
- [4] Tomas, Wayne, *Advanced Electronic Communication System*, 3rd Edition, Prentice Hall International, USA, 1994.
- [5] H.L Krauss ; C.W Bostian ; F.H Raab, *Teknik Radio Benda Padat*, Universitas Indonesia, Jakarta, 1990.
- [6] H. Young, Paul, *Electronic Communication Technique*, Fourth Edition, Prentice Hall International, USA, 1999.
- [7] Muflih, Muhamad ; *Pengacak Suara dengan Menggunakan Pola Urutan Biner Acak Semu*, Tugas Akhir, Jurusan Teknik Elektro Fakultas Teknik Universitas Diponegoro, Semarang, 2001.
- [8] Roddy, Dennis; Coolen, John., *Electronic Communications*, fourth edition, Prentice Hall, Englewood Cliffs New Jersey, 1995
- [9] J.Tocci, Ronald, *Digital System, Principles Application*, Fifth Edition, Prentice Hall, USA, 1994.
- [10] A Gayakwad, Ramakant, *OpAmps and Linier Integrated Circuits*, 4th Edition, Prentice Hall International Inc, New Jersey, 2000.
- [11] Franco, Sergio, *Design with Operational Amplifiers and Analog Integrated Circuits*, 2nd, Mc Graw-Hill Book Company, Singapore, 1998.
- [12] F Coughlin, Robert and Frederick F Driscoll, Jr. Herman Widodo Soemitro, *Penguat Operasional dan Rangkaian Terpadu Linier*, PT. Erlangga, Jakarta, 1985.
- [13] Barker, Forrest, *Communications Electronics: Systems, Circuits, and Devices*, Prentice Hall International
- [14] W Hughes Frederick, *Panduan Op-Amp*, edisi kedua, Elex media Komputindo, Jakarta 1977
- [15] Sklar, Bernard, *Digital Communication Fundament and Application*, Prentice Hall, New Jersey, 1998.
- [16] Roody, Dennis; Coolen, John, *Elektronik Communication*, 4th Edition, Printice Hall, New Jersey, 1990.
- [17]
- [18] Paul Malvino, Albert , PhD, Prinsip-Prinsip Elektronik, Edisi ketiga Jilid 1, Erlangga, Jakarta ,1999.
- [19] Malvino, Jacob, Phd, Elektronika Terpadu, Jilid 2, Erlangga, Jakarta, 1994.
- [20]
- [21] Tischler, Morris, *Telecommunication A Text-Lab Manual*, Second Edition, McGraw Hill, New York, 1990.
- [22] Robert, F.F Driscoll Frederick, *Penguat Operational dan Rangkaian terpadu Linier*, Elex Media Komputindo, Jakarta, 1990.
- [23] Tobey-Graeme-Hudsman, *Operation Amplifier and Application*, McGraw Hill USA, 1977.
- [24] W Hughes Frederick, *Panduan Op-Amp*, edisi kedua, Elex media Komputindo, Jakarta 1977
- [25] Arianto Rachmat Pembangkit UHF, Tugas Akhit, TE UNDIP Transmisi Tu

Penulis



Ariyono Hidayat F

L2F097613

Mahasiswa Teknik Elektro
Universitas Diponegoro, Konsentrasi
Telekomunikasi,, angkatan 1997.
Penyusunan Tugas Akhir

Dilaksanakan di Div RisTI dan Lab. Dasar Universitas
Diponegoro.